

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2001-244426
(P2001-244426A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl.
H 0 1 L 27/105
21/316

識別記号

F I
H O I L 21/316
27/10

テーマコード*(参考)

審査請求 未請求 請求項の数 1 O L (全 21 頁)

(21)出願番号 特願2000-389018(P2000-389018)
(22)出願日 平成12年12月21日(2000.12.21)
(31)優先権主張番号 171800
(32)優先日 平成11年12月22日(1999.12.22)
(33)優先権主張国 米国(US)

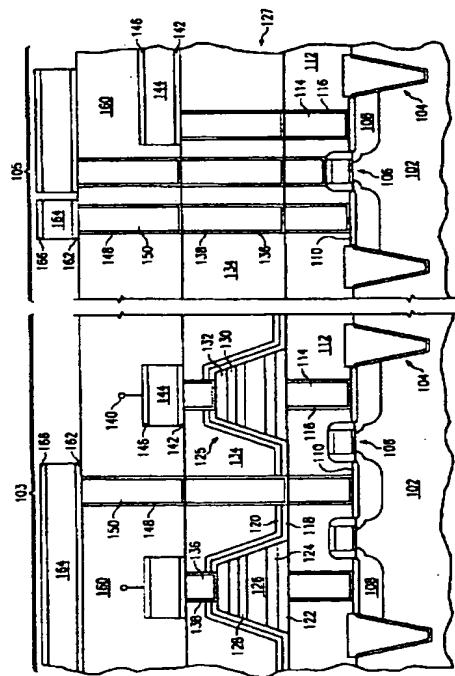
(71) 出願人 590000879
テキサス インスツルメンツ インコーポ
レイテッド
アメリカ合衆国テキサス州ダラス、ノース
セントラルエクスプレスウェイ 13500
(72) 発明者 スコット アール、サマーフェルト
アメリカ合衆国 カリフォルニア、クバー
チノ、パロ ビスタ ロード 10394
(72) 発明者 セオドナー エス、モイズ
アメリカ合衆国 カリフォルニア、ロスア
ルトス、アーサー コート 1200
(74) 代理人 100066692
弁理士 浅村 眩 (外3名)

(54) 【発明の名称】 強誘電メモリ・セルの製造方法

(5) 【要約】

【課題】 ある構造体上に位置する強誘電コンデンサの
製造方法を提供する。

【解決手段】 上記構造体（図1の124）上に一つの頂面と複数の側面とを持つ底部電極を形成するステップと；上記底部電極上に、強誘電材料からなり、一つの頂面と複数の側面とを持つコンデンサ誘電体（図1の126）を形成するステップと；上記コンデンサ誘電体の上に、上記底部電極と、上記コンデンサ誘電体と、上記頂部電極からなり、一つの頂面と複数の側面とを持つ頂部電極（図1の128および130）を形成するステップと；上記底部電極の上記側面上、上記コンデンサ誘電体の上記側面上および上記頂部電極の上記側面上にバリヤ層（図1の118および120）を形成するステップと；上記バリヤ層および上記構造体の上に、一つの頂面と一つの底面とを持つ誘電体の層を形成するステップと；ある時間中、アルゴン、窒素およびその組合せからなるグループから選択したガスからなる雰囲気内で400～900℃の温度で、上記バリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む方法。



1

【特許請求の範囲】

【請求項1】 ある構造体上に位置する強誘電コンデンサの製造方法であって、前記構造体上に、一つの頂面と複数の側面とを持つ底部電極を形成するステップと、前記底部電極上に、強誘電材料からなり、一つの頂面と複数の側面とを持つコンデンサ誘電体を形成するステップと、前記コンデンサ誘電体の上に、前記底部電極と、前記コンデンサ誘電体と、前記頂部電極からなり、一つの頂面と複数の側面とを持つ頂部電極を形成するステップと、前記底部電極の前記側面上、前記コンデンサ誘電体の前記側面上 および前記頂部電極の前記側面上にバリヤ層を形成するステップと、前記バリヤ層および前記構造体の上に、一つの頂面と一つの底面とを持つ誘電体の層を形成するステップと、ある時間中、アルゴン、窒素およびその組合せからなるグループから選択したガスからなる雰囲気内で、400～900°Cの温度で、前記バリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体デバイスの製造および処理に関し、特に、強誘電メモリ・デバイスの製造方法に関する。

【0002】

【従来の技術】 現在、半導体デバイスの製造産業およびエレクトロニクス産業には、いくつかの傾向が見られる。デバイスは、相変わらずますます小型になり、消費電力はますます少なくなっている。その理由は、非*

2

*常の小型で携帯型の個人用デバイスの製造が増大し、その唯一の電源として小型のバッテリーが必要であるからである。例えば、セルラー・ホン、個人用計算デバイス、および個人用音響システムは、消費者市場で人気の高いデバイスである。

【0003】

【発明が解決しようとする課題】 ますます小型化し、携帯に便利になった他に、個人用デバイスは、もっと高い計算能力およびオンチップ・メモリを必要とする。このような傾向から考えて、この業界では、同じ半導体チップ上に集積されたメモリ機能および論理機能を持つ計算デバイスの開発が待望されている。好適には、このメモリは、バッテリーの電力を使いきった場合に、メモリの内容が保持されるように構成することが好ましい。電力の継続的供給が中断されても、その内容を保持する、このようなメモリ・デバイスは、不揮発性メモリと呼ばれる。従来の不揮発性メモリの例としては、電気的に消去可能で、プログラム可能な読み出し専用メモリ（「EEPROM」）およびフラッシュ・EEPROMがある。

【0004】 強誘電メモリ（FeRAM）は、底部電極および頂部電極の間に位置する、コンデンサの誘電体としての、タンタル酸ストロンチウム・ビスマス（SBT）またはジルコン酸チタン酸鉛（PZT）等がある。強誘電メモリに対しては読み出し動作も、書き込み動作も行うことができる。メモリの大きさおよびメモリのアーキテクチャは、強誘電メモリの書き込みおよび読み出しアクセス時間に影響を与える。表1は、異なるメモリ・タイプの間の違いを示す。

【0005】

【表1】

表1

特性	SRAM	フラッシュ	DRAM	FeRAM (Demo)
電圧	>0.5V	読み出し>0.5V 書き込み(12V)(±6V)	>1V	3.3V
特殊トランジスタ	不要	必要 (高電圧)	必要 (低電圧)	不要
書き込み時間	<10 ns	100 ms	<30 ns	60 ns
書き込み持続時間	>10 ¹⁵	<10 ⁶	>10 ¹⁵	>10 ¹³
読み出し時間(1ビット/複数ビット)	<10 ns	<30 ns	<30 ns / <2 ns	60 ns
読み出し持続時間	>10 ¹⁵	>10 ¹⁵	>10 ¹⁵	>10 ¹³
埋設用付加マスク	0	~6-8	~6-8	~3
セル・サイズ(F～金属ビット/2)	~80 F ²	~8 F ²	~8 F ²	~18 F ²
アーキテクチャ	NDRO	NDRO	DRO	DRO
不揮発性	不要	必要	不要	必要
記憶	I	Q	Q	P

【0006】 強誘電メモリが不揮発性であるのは、強誘電メモリ・セルが双安定特性を持っているからである。

二つのタイプのメモリ・セル、すなわち、單一コンデンサ・メモリ・セル、および二重コンデンサ・メモリ・セルが使用される。(1T/1Cメモリ・セルと呼ばれる) 単一コンデンサ・メモリ・セルは、必要とするシリコン領域が小さいが、(それにより、メモリ・アレーの電位密度が増大するが)、ノイズおよびプロセス振動には弱い。さらに、1Cセルは、記憶したメモリの状態を判断するために、電圧基準を必要とする。(2T/2Cまたは2Cメモリ・セルと呼ばれる) 二重コンデンサ・メモリ・セルは、より広いシリコン領域を必要とし、相補信号を記憶し、記憶している情報の差動サンプリングができる。2Cメモリ・セルは、1Cメモリ・セルより安定している。

【0007】1T/1C強誘電メモリ・セル内には、一つのトランジスタと、一つの記憶コンデンサが位置する。記憶コンデンサの底部電極は、トランジスタのドレンに接続している。1T/1Cセルは、トランジスタのゲート(語線)に信号を加えることにより読み出され、それにより、コンデンサの底部電極が、トランジスタのソース(ビット線)に接続される。その後で、パルス信号が頂部電極接点(プレート線または駆動線)に加えられる。それ故、トランジスタのビット線上的電位は、コンデンサの電荷を、ビット線のキャパシタンスで割ったものである。コンデンサの電荷は、強誘電材料の双安定分極状態により異なるので、ビット線の電位は二つの異なる数値を持つことができる。感知アンプが、ビット線に接続していて、1または0の論理値に関連する電圧を検出する。頻繁に、感知アンプの基準電圧は、読みしが行われていない他方のビット線に接続している、強誘電コンデンサまたは非強誘電コンデンサとなる。このようにして、メモリ・セルのデータが検索される。

【0008】強誘電メモリの特性は、ある種の用途の場合には、読み出し動作が破壊的であることである。メモリ・セル内のデータは、読み出し動作が終了した後で、メモリ・セルに再度書き戻さなければならない。強誘電体の分極が切り換えられた場合には、読み出し動作は破壊的であり、感知アンプは、そのビットをセルから読み出した時に、正しい分極値を(そのセルの上に)再度書き込まれなければならない。これは、DRAMの場合も同じである。駆動線の電圧が、強誘電体を切り換えるほど高い場合には、読み出し動作は非破壊的になる。通常、非破壊的読み出しは、破壊的読み出しより遙かに大きなコンデンサを必要とするので、より大きなセルが必要になる。

【0009】メモリ・アレー内の2T/2Cメモリ・セルは、ビット線(「ビット線」)、および(例えば、スタチック・ランダム・アクセス・メモリのような)、多くの他のメモリ・タイプに共通なビット線(「ビット線バー」)の逆に接続している。メモリ・ブロックのメモリ・セルは、メモリの行およびメモリの列の形に形成されている。二重コンデンサ強誘電メモリ・セルは、二つ

のトランジスタと、二つの強誘電コンデンサを備える。第一のトランジスタは、ビット線と第一のコンデンサとの間に接続している。第二のトランジスタは、ビット線バーと第二のコンデンサとの間に接続している。第一および第二のコンデンサは、共通のターミナルまたはプレートを持ち、このターミナルには、コンデンサを分極するために信号が供給される。

【0010】書き込み動作の場合、二重コンデンサ強誘電メモリ・セルの、第一および第二のトランジスタは、コンデンサを、ビット線上の相補論理レベル、およびメモリ内に記憶している論理状態に対応するビット線バーに接続することができる。コンデンサの共通のターミナルは、二重コンデンサ・メモリ・セルを二つの論理状態の中の一方に分極するために、書き込み動作中パルスが供給される。

【0011】読み出し動作の場合、二重コンデンサ・メモリ・セルの、第一および第二のトランジスタは、第一および第二のコンデンサ上に記憶している情報をビット線およびビット線バーに送ることができる。二重コンデンサ・メモリ・セルは、ビット線およびビット線バーを横切って差動信号を発生する。差動信号は、感知アンプにより感知され、この感知アンプは、メモリ内に記憶している論理レベルに対応する信号を供給する。

【0012】強誘電メモリのメモリ・セルは、ある限られた回数読み出しおよび書き込み動作を行うと、その動作が信頼できなくなる。強誘電メモリが行うことができるこの動作回数は、メモリの耐久性と呼ばれる。この耐久性は、不揮発性メモリを必要とする多くの用途において、重要な要因である。メモリ・サイズ、メモリ速度および電力消費のような他の要因も、強誘電メモリが、メモリ市場で生き残れるかどうかを判断する際に重要な役割を果たす。

【0013】

【課題を解決するための手段】本質的には、本発明は、独立型のデバイスか、または多くの他のタイプのデバイスを含む半導体チップ上に集積されている強誘電メモリ・デバイスの製造に関する。現在、いくつかの要件が存在しているが、他のタイプのデバイスと一緒に強誘電メモリを集積する場合に、他のいくつかの要件が必要になる場合もある。そのような要件の一つとして、強誘電メモリ・デバイスを含むチップを製造する目的で、上記チップ上に種々の論理およびアナログ・デバイスを製造するために使用する従来のフロントエンド技術およびバックエンド技術の最大限の使用がある。すなわち、単に、チップ上に、強誘電メモリ・デバイスを集積するためだけに、プロセスの流れを変更しないでむように、(そうすることにより、プロセスのコストが高くなったり、複雑になったりしないように)、(I/Oデバイスおよび潜在的にアナログ・デバイスの他に)、これら標準的論理デバイスを製造するためのプロセスの流れをできる

だけそのまま使用するのが有利である。

【0014】下記の説明は、(化学記号Wで表わされるタングステンの接点の形成で終ると定義されている) フロントエンド・モジュールと、(殆ど金属被覆されている) バックエンド・プロセス・モジュールとの間で発生する強誘電メモリ・プロセス・モジュール内での強誘電コンデンサの形成のコンセプトに基づいて行う。強誘電メモリ・プロセス・モジュールのもう一つの位置も提案されている。例えば、強誘電メモリ・プロセス・モジュールが、金属被覆の第一の層(金属1)の上に設置されている場合には、ピット線構造上のコンデンサを、もっと大きいコンデンサを利点を持つように形成することができる。この方法の一つの欠点は、金属1(チップ上の基板に最も近い第一の金属層)またはローカル相互接続部を、(例えば、タングステンに対する)強誘電メモリ・プロセス温度に耐えられるようにしなければならないことであり、または強誘電メモリ・プロセス温度を、標準金属被覆と互換性を持つ温度(アルミニウムの場合、-450℃、銅および導電率の低い材料-400℃)まで下げてやらなければならないことである。このロケーションは、通常のメモリの目的の場合にはいくつかの利点があるが、埋設メモリの場合にはコストの点で不利である。

【0015】強誘電メモリ・プロセス・モジュールに対するもう一つの可能なロケーションは、バックエンド・プロセスの流れの終点近くにある。この方法の主な利点は、強誘電メモリ・モジュール内の新しい汚染物(Pb, Bi, Zr, Ir, RuまたはPt)を、より多くの生産ツールから遠ざけておくことである。第一の強誘電メモリ・フィルムの蒸着後に使用した装置を強誘電メモリ・デバイス構造体の製造の専用装置とする場合には、すなわち、共有しない場合には、この解決方法は最も実際的な方法である。しかし、この解決方法は、強誘電メモリ・プロセス温度を、標準金属被覆構造体の温度(上記提案制限)と、互換性にあるものにしなければならないという欠点がある。さらに、強誘電メモリ・コンデンサと、下に位置するトランジスタとの相互接続部、および金属被覆の他のニーズが、最小強誘電メモリ・セルのサイズと互換性がない。他のロケーションに対する要件は、多くの同じ要件を持つが、ある要件は異なっている。

【0016】好適には、強誘電メモリ・プロセス・モジュールは、コンデンサの底部接点として、タングステン接点を使用する標準論理およびアナログ・デバイスのフロントエンド・プロセスの流れと互換性を持つことが好ましい。強誘電メモリ熱収支も、大部分の論理デバイスが必要とする、(タングステン・プラグおよび珪化ソース/ドレーンおよびデータを含む)低抵抗の構造体のような、フロントエンド構造体に影響を与えないように十分低いものでなければならない。さらに、トランジスタ

およびダイオードのような他のフロントエンド・デバイスは、汚染を感知するものでなければならない。強誘電メモリ・プロセス・モジュールからの、(チップ内での拡散によるよる)直接的な汚染、または(共有装置による相互汚染のような)間接的な汚染は、トランジスタおよびダイオードが劣化しないように処理しなければならない。強誘電メモリ・デバイスおよびプロセス・モジュールは、標準バックエンド・プロセスの流れと、互換性のあるものでなければならない。それ故、強誘電メモリ・プロセス・モジュールは、論理金属被覆の抵抗および金属とトランジスタとの間の、寄生キャパシタンスの劣化が最も低いものでなければならない。さらに、強誘電メモリ・デバイスは、任意の修正があったとしても、バックエンド・プロセスの流れによる劣化が最小のものでなければならない。これは困難な問題である。何故なら、強誘電コンデンサは、水素劣化に弱いことが分かっているし、多くの論理バックエンド・プロセスの流れは、(SiO₂およびSi₃N₄の形成、CVDタングステン蒸着、エッチングによるSiO₂、およびガス・アニールの形成のような)多くのプロセスで水素および/または重水素を使用するからである。

【0017】強誘電メモリを商業的に成功させるには、埋設メモリのコストを最低限度に抑える必要がある。メモリの全コストは、主として、セルのサイズ、周辺比サイズ、歩留まりの衝撃、およびメモリに関連する追加プロセスのコストにより決まる。埋設DRAMおよびフラッシュ・メモリのような標準埋設メモリと比較して、ピット当たりのコストを有利にするためには、強誘電メモリ・セルの大きさを標準埋設メモリ技術で得られる大きさにほぼ等しい大きさにすることが望ましい。セル・サイズを最低限度にまで小さくする、本明細書に記載する方法の中のいくつかの方法は、プロセスの流れに対する、石版印刷のズレの影響を小さくするステップ、接点上にコンデンサを直接形成するステップ、およびコンデンサのスタックのエッチングのために单一のマスクを使用するステップを含む。追加プロセス・コストを低減するための、本明細書に記載する方法の中のいくつかの方法は、強誘電メモリ・プロセス・モジュール、および必要な複雑なプロセスを簡単にするプレーナ・コンデンサ用の二つの追加マスクを必要とする場合がある。

【0018】本特許は、プレーナ・コンデンサの使用に焦点を当てているが、多くの同じコンセプトおよびプロセスにより、ポストまたはカップ構造を使用する三次元コンデンサを製造することができる。プレーナ構造体を取り上げて説明するが、それはこの構造体の製造プロセスが簡単で、製造コストが安いからである。最小の電荷を蓄積するために必要なプレーナ・コンデンサの面積が、セル・サイズを制限する場合には、三次元コンデンサが好ましい。この場合、三次元構成に関連するコンデンサ面積の増大により、プレーナ・セルのサイズをより

小さくすることができる。セル面積を小さくするためには、DRAMデバイスは、多年にわたってこの方法を使用してきた。

【0019】本発明のある実施形態は、ある構造体上に位置する強誘電コンデンサの製造方法である。上記方法は、上記構造体上に、頂面と側面とを持つ底部電極を形成するステップと；上記底部電極上に、強誘電材料からできていて、頂面と側面とを持つコンデンサ誘電体を形成するステップと；コンデンサ誘電体の上に、頂面と側面とを持つ頂部電極を形成するステップであって、上記強誘電コンデンサが、底部電極と、コンデンサ誘電体と、頂部電極を備えるステップと；底部電極の側面、コンデンサ誘電体の側面 および頂部電極の側面上にパリヤ層を形成するステップと；パリヤ層および構造体の上に、頂面と底面とを持つ誘電体の層を形成するステップと；ある時間中、アルゴン、窒素およびその組合せからなるグループから選択したガスからなる雰囲気内で、400～900℃の温度で、上記パリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む。

【0020】他の実施形態の場合には、上記方法は、さらに、誘電体層内に、誘電体層の頂面から底面に延びる開口部を形成するステップと；誘電体層の上記開口部を頂部電極と電気的な接続を行う導電性材料で充填するステップとを含む。好適には、加熱ステップを実行するステップは、誘電体層内に開口部を形成するステップの後であって、誘電体層内の開口部を導電性材料で充填するステップの前に、実行することが好ましい。好適には、温度は500～700℃であることが好ましい（より好適には、上記温度は、500～650℃であることが好ましく、加熱ステップの持続時間は、約15～120分であることが好ましく、または温度は550～700℃、加熱ステップの持続時間は、約10～60秒であることが好ましい。）。

【0021】他の実施形態の場合には、上記方法は、さらに、頂面上に導電性のハードマスクを形成するステップと；誘電体層内に、上記導電性のハードマスクまで、または頂部電極まで下に向かって延びる開口部を形成するステップとを含む。

【0022】好適には、構造体は、その内部に形成された導電性の接点を備える誘電体層であることが好ましく、導電性接点は、底部電極に電気的に接続していることが好ましい。コンデンサの誘電体は、好適には、PZTを含むことが好ましい。底部電極は、好適には、イリジウム、酸化イリジウム、またはそのスタックからなることが好ましい。頂部電極は、好適には、イリジウム、酸化イリジウムまたはそのスタックからなることが好ましい。コンデンサの誘電体が、以降のプロセス中に破損した場合には、加熱ステップを実行するステップが、コンデンサの誘電体への破損を除去する。好適には、パリ

ヤ層は、底部電極の側面上、コンデンサの誘電体の側面上、頂部電極の側面上、頂部電極の上に形成することが好ましい。または、パリヤ層は、底部電極の側面上、コンデンサの誘電体の側面の上、頂部電極の上、およびハードマスクの上に形成することができる。しかし、頂部電極の頂部上には形成されない。

【0023】本発明のもう一つの実施形態は、半導体基板上に位置する誘電体層を貫通して形成されている導電性接点上に形成されている強誘電コンデンサを含む電子デバイスの製造方法である。上記方法は、導電性接点上に、頂面と側面を持つ底部電極を形成するステップと；底部電極の上に、強誘電材料からできていて、頂面と側面を持つコンデンサの誘電体を形成するステップと；コンデンサの誘電体上に、頂面と側面を持つ頂部電極を形成するステップであって、強誘電コンデンサが、底部電極、コンデンサ誘電体、および頂部電極を備えるステップと；底部電極の側面上、コンデンサの誘電体の側面の上、および頂部電極の側面の上に、パリヤ層を形成するステップと；パリヤ層および構造体上に、頂面と側面を持つ誘電体層を形成するステップと；ある時間中、アルゴン、窒素およびその組合せからなるガスからなる雰囲気内で、400～900℃の温度で、上記パリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む。好適には、加熱ステップを実行するステップは、誘電体層内に開口部を形成するステップの後であって、誘電体層内の開口部を導電性材料で充填するステップの前に実行することが好ましい。好適には、導電性ハードマスクは、頂部電極上に形成され、誘電体層内の開口部は、導電性ハードマスクまで、または頂部電極まで、下方に向かって延びることが好ましい。好適には、温度は500～700℃であることが好ましく、（より好適には、上記温度は、500～650℃であることが好ましく、加熱ステップの持続時間は、約15～120分であることが好ましく、または温度は550～700℃で、加熱ステップの持続時間は、約10～60秒であることが好ましい。）他の実施形態の場合には、上記方法は、さらに、誘電体層内に、誘電体層の頂面から底面まで延びる開口部を形成するステップと；誘電体層内の開口部に、頂部電極を電気的に接続する導電性材料を充填するステップを含む。

【0024】

【発明の実施の形態】図面全体にわたって、類似または同じ機能には、類似の参照番号がつけてある。図面は正確な縮尺ではない。これらの図面は、単に、本発明の方法の効果を説明するためのものに過ぎない。

【0025】以下の説明は、強誘電メモリ・デバイスと、論理デバイス、およびデジタル信号プロセッサ、マイクロプロセッサ、スマート・カード、マイクロコンピュータ、マイクロコントローラ、またはチップ上のシステムとの集積に関するものであるが、本発明は、自立タ

イブの強誘電メモリ・デバイス、または多くの他のタイプのデバイスを含む半導体チップを製造する際にも使用することができる。より詳細に説明すると、標準半導体メモリと比較した場合の本発明の強誘電メモリ・デバイスの改善された性能持っているので、この強誘電メモリ・デバイスは、低電力と高度デバイスの集積を必要とする、任意の手のひらサイズのデバイスに最適のもののように思われる。添付の図面および本明細書の説明は、単に、例示としてのものに過ぎない。通常の当業者であれば、本明細書の説明を読めば、図面に示し、以下に説明するデバイスおよび構造体を製造するための他の実行方法および製造方法を思いつくことができるはずである。例えば、図面には浅い溝状の分離構造体（「STI」）が示してあるが、（LOCOS領域と呼ばれる）フィールド酸化領域のような、任意の従来の分離構造体も使用することができる。さらに、構造体102は、好適には、nタイプまたはpタイプにドーピングされる、単結晶シリコン基板であることが好ましいが、構造体102（図1）は、単一結晶基板上にエピタキシャル・シリコン層を製造することによっても形成することができる。

【0026】図1について説明すると、図1は、二つのデバイスを示す。デバイス103は、本発明の一部が製造された強誘電メモリ・セルであり、デバイス105は、高電圧トランジスタ、低電圧トランジスタ、高速論理トランジスタ、I/Oトランジスタ、アナログ・トランジスタ、またはデジタル信号プロセッサ内に収容することができる任意の他のデバイスである。デバイス103内の特定のセル構造体を除けば、デバイス103内で使用されている構造体は、（デバイス105のような、異なるタイプのデバイスによるトランジスタ内の可能なものである種の変更を除けば）、デバイス105のデバイス構造体と同じものでなければならない。

【0027】基本的には、ゲート構造体106は、（好適には、二酸化シリコン、オキシナイトライド、窒化シリコン、BST、PZT、珪酸塩、任意の他のK値の高い金属、またはその任意の組合せまたはスタックからできていることが好ましい）ゲート誘電体と、（好適には、頂部に形成された珪化物を含む、nタイプまたはpタイプでドーピングされた多結晶シリコン、またはチタン、タンクスチタン、TiN、タンタル、TaNまたは金属からできていることが好ましい）ゲート電極、および（好適には、酸化物、窒化物、オキシ窒化物、またはその組合せまたはスタックからできていることが好ましい）側壁部を含む。通常、酸化物、窒化物、およびオキシ窒化物という用語は、酸化シリコン、窒化シリコンおよびオキシ窒化シリコンを指す。「酸化物」という用語は、通常、ホウ素および/または燐でドーピングした酸化シリコンのような、ドーピングした酸化物を含む。ソース/ドレーン領域108は、好適には、従来のドーピング剤および処理条件により注入することが好ましい。

軽度にドーピングしたドレーン延長部、およびポケット注入も使用することができる。さらに、ソース/ドレーン領域108は、（好適には、チタン、コバルト、ニッケル、タンクスチタンまたはその他の従来の珪化物材料により）珪化することができる。

【0028】誘電体層112は、全基板上に形成され、基板および形成されるゲート構造体に接触するための、開口部を形成するように、パターン形成され、エッチングされる（ステップ202）。これらの開口部は、（好適には、タンクスチタン、モリブデン、チタン、窒化チタン、窒化タンタル、Ti、NiまたはCoのような珪化金属、銅またはドーピングしたポリシリコンからできていることが好ましい）プラグ114のような、一つまたはそれ以上の導電性材料で充填される。ライナー/バリヤ層を、プラグ114と誘電体112との間に形成してもよいし、形成しなくてもよい。図1は、ライナー/バリヤ層116を示すが、この層は、好適には、Ti、TiN、TaSiN、Ta、TaN、TiSiN、そのスタック、または任意の他の従来のライナー/バリヤ材料からできていることが好ましい。好適には、接点は、ソース/ドレーン領域およびゲート領域の珪化領域上に、接触するように形成することが好ましい。

【0029】誘電体層112は、好適には、できれば、ゲートに隣接していて、窒化シリコンを含む水素または重水素の層を含む、（ホウ素、または燐のような好適なドーピング剤でドーピングした、またはドーピングしていない）SiO₂からできていることが好ましい。拡散バリヤを蒸着した後で、化学的機械的研磨のようなプロセスにより、上に位置する層の改良形石版印刷のためには、バリヤが平面化される可能性が高い。さらに、追加拡散バリヤ/エッチング停止層を、平面化プロセスの後で、蒸着されるAl₂O₃、AlN、Si₃N₄、TiO₂、ZrO₂、TaO_xのような、層112の頂面の近くに形成することができる。接点に対するバイアまたは金属被覆を形成するために、波形文様プロセスを使用する場合には、この拡散バリヤは特に有用である。プラグ114を形成するには、このオプションとしてのバリヤ/エッチング停止層を貫通して、エッチングを行わなければならない。

【0030】接点上に位置する金属構造体の形成は、バックエンドプロセスの一部と見なされる。特定の強誘電メモリ・プロセス・モジュールを除いて、バックエンド・プロセス・ステップは、半導体業界でのこれらの標準的なものでなければならない。それ故、金属被覆は、アルミニウムまたは銅をベースとするものになる。アルミニウムは、好適にエッチングすることができ、一方、銅は、波形文様プロセッサ中に使用するのに好適なものである。しかし、波形文様プロセス中に形成された銅およびアルミニウムも、エッチングすることができる。金属被覆したアルミニウムは、好適には、CVDによるタン

グステン・プラグ、またはアルミニウム・プラグを、含んでいることが好ましく、アルミニウムは、電気移動抵抗を改善するのに、銅でドーピングするのに好適なものである。アルミニウム用の金属拡散バリヤは、好適には、TiNおよび/またはTiを含んでいることが好ましい。銅の金属被覆は、好適には、Ti、TiN、TiSiN、Ta窒化タンタルおよび/またはTaSiN拡散バリヤを含む、銅またはタンクステンのプラグを含むことが好ましい。薄い誘電体の層（図示せず）をレベル間の各誘電体（ILD）層（層112、134および160）の間に形成することができる。形成した場合、この薄い層は、好適には、窒化シリコン、炭化シリコン、SiCNOまたは酸化シリコン（好適には、高密度の酸化プラズマであることが好ましい）からなることが好ましい。さらに、好適には、レベル間の誘電体の層112、134および160は、酸化物、FSG、PSG、BPSG、PETEOS、酸化HDP、窒化シリコン、オキシ窒化シリコン、炭化シリコン、カルボキシ・オキシ窒化シリコン、（好適には、SiLK、多孔SiLK、テフロン（登録商標）、（できれば、多孔質の）K値の低いポリマのようない誘電率の低い材料、エーロゲル、キセロゲル、黒いダイヤモンド、HSQ、または任意の他の多孔質のガラス材料）、またはその組合せまたはスタックからできていることが好ましい。好適には、相互接続部および金属線は、同じ材料からできていることが好ましい。好適には、プラグ136および150、および導体144および164は、（好適には、銅、アルミニウム、チタン、TiN、タンクステン、窒化タンクステンまたはその任意の組合せまたはスタックであることが好ましい）、金属材料からできていることが好ましい。バリヤ/ライナーは、プラグとレベル間の誘電体層との間に形成することができる。形成した場合、（図の層138および148およびライナー142、146、162および166である）バリヤ/ライナー層は、好適には、Ti、TiN、W、窒化タンクステン、Ta、窒化タンタル、任意の従来のバリヤ/ライナー層、またはその任意の組合せまたはスタック）からできていることが好ましい。層間誘電体材料およびプラグ材料は、強誘電メモリ熱収支と互換性のあるものでなければならない。現在の技術（すなわち、タンクステンのプラグ、およびSiO₂ILDを内蔵する技術）を使用した場合には、強誘電メモリ熱収支は、約600または650°C以下でなければならない。ILDが、誘電率の低い（K値の低い）層を含むように修正されている場合には、強誘電メモリ熱収支は、さらに低減する必要がある。それ故、好適な層間誘電体112は、（ドーピングされた、および/またはドーピングされていない）酸化シリコン、窒化シリコンおよび/またはオキシ窒化シリコンのような600°C以上の熱収支に耐えることができる材料である。

【0031】レベル127は、強誘電メモリ・セル（強誘電メモリ・プロセス・モジュール）を収容するように追加される。この強誘電メモリ・プロセス・モジュールにより、強誘電または誘電率の高いコンデンサの形成を、新しいプロセス・モジュールに対する最大の熱収支で、バックエンド・プロセスの熱収支に影響を与えないで容易に追加することができる。より詳細に説明すると、このレベルにより、ビット線構成の下のコンデンサを含む強誘電メモリ・デバイスを高密度メモリと互換性にあるものにすることができる。しかし、平面にする必要がない場合には、領域105内に層127を形成しないで、強誘電メモリ・デバイスを形成することができる。それ故、強誘電メモリ部分103は、層127の高さだけ、領域105より高くなる。

【0032】強誘電メモリ・コンデンサ125は、いくつもの層からなる。導電性バリヤ層122は、コンデンサ誘電体の以降の処理の間にプラグ114を保護する必要があるかないかにより、形成しても、しなくてもよい。形成した場合には、導電性バリヤ層122は、好適には、TiAlNまたは（そのうちのどれかが、TiNよりも遅い酸化速度を持つ）、TaSiN、TiSiN、TiN、Ta_xN、HfN、ZrN、HfAlN、CrN、TaAlN、CrAlN、または任意の他の導電性材料を含む他の使用可能なバリヤでできていることが好ましい。この層の厚さは、好適には、（0.18μmのバイアの場合）60ナノメートル程度である。将来、バイアのサイズが小さくなれば、バリヤの厚さも薄くすることができるだろう。これらのバリヤ層を蒸着する好適な技術としては、Ar+N₂またはAr+NH₃を使用する、反応性スパッタ蒸着法がある。アルゴンは、コストおよび性能を考慮したスパッタ蒸着法または物理的エッチングの際に使用する標準的不活性ガスであることに留意されたい。本明細書に記載するプロセス全体を通して、これらの用途のために、アルゴンの代わりに他の不活性ガスを使用することもできる。使用することができる他の蒸着技術としては、化学蒸着法（CVD）またはプラズマ促進CVD（PECVD）等がある。窒化物のCVD法を使用すると、実際に、特に、有機金属前駆物質を使用した場合には、カルボキシ窒化物ができる。この方法は、多くの場合に使用することができる。好適なタンクステン接点の場合には、好適には、二層拡散バリヤを蒸着することが好ましい。最初に、（好適には、40ナノメートルの）CVDにより、TiNが蒸着され、その後で、PVDにより（好適には、30ナノメートルの）TiAlNが蒸着される。さらに好適なのは、（～60ナノメートルの）TiAlNをCVDまたはPECVDにより蒸着することである。TiAlN内のアルミニウムの好適な比率は、約30～60%であり、酸化抵抗を改善するには、40～50%にすればさらに好適である。（本発明の実施形態の一つのように）よりよい拡

散パリヤを使用すると、通常、酸素に対して安定な底部電極材料をさらに薄くすることができるし、またはより高い処理温度を使用することができる。

【0033】図に位置する接点構造体と電気的に接続させるために、コンデンサ125の底部電極124をパリヤ層122上に形成することもできるし、層112の上に直接形成することもできる（ステップ206）。好適には、底部電極は、25～100ナノメートルの厚さで、酸素内で安定していて、貴金属またはイリジウム、酸化イリジウム、Pt、Pd、PdO_x、Au、Ru、RuO_x、Rh、RhO_x、LaSrCoO₃、(Ba、Sr)RuO₃、LaNiO₃またはその任意の組合せまたはスタックのような導電性酸化物でできていることが好適である。貴金属を使用する任意の電極の場合には、コストの面および集積が容易であるという点から、できるだけ薄い層を使用するのが有利である。PZTコンデンサの誘電体用の好適な底部電極は、50ナノメートルのイリジウムか、イリジウム（アルゴン）用スパッタ蒸着法および／またはIrO_x用の反応性スパッタ蒸着法

（アルゴン+酸素）により蒸着するのが好適である。30ナノメートルのIrO_xおよび20ナノメートルのイリジウムからできているスタックである。強誘電蒸着温度が低いと、好適なもっと薄い電極を形成することができる。この層に対する好適な蒸着技術は、スパッタ蒸着法、反応性スパッタ蒸着法または化学蒸着法である。底部電極の応力を制御するためには、応力を解放し、および／または底部電極の微細構造／安定性を改善するために、好適には、底部電極の後焼き鈍しを実行することができる。通常の焼き鈍し条件は、酸素または不活性ガスの混合物内で400～600℃で、2～10分である。この焼き鈍しは、底部電極が形成された後で任意の時間に行うことができるが、好適には、ILD160が形成される前の実行することができる。

【0034】コンデンサ誘電体は、底部電極上に形成される（ステップ208）。好適には、コンデンサ誘電体126の厚さは、150ナノメートルより薄いことが好適である。（より好適には、100ナノメートルより薄いことが好ましく、最も好適には、50ナノメートルより薄いことが好ましく）、Pb(Zr、Ti)O₃（PZT—ジルコン酸チタン酸鉛）；ドナー（Nb、La、Ta）、アクセプタ（Mn、Co、Fe、Ni、Al）および／または両方でドーピングされたPZT；PZTでドーピングされ、SrTiO₃、BaTiO₃またはCaTiO₃との合金；タンタル酸ストロンチウム・ビスマス（SBT）およびニオブ・タンタル酸ストロンチウム・ビスマスのような他の層状のペロブスカイト；またはチタン酸ビスマス；BaTiO₃；PbTiO₃；またはBi₂TiO₃のような強誘電材料からできていることが好適である。PZTは、コンデンサ誘電体として最も好適なものである。何故なら、PZTは、上記材料の中

で最も高い分極と最も低い処理温度をもっているからである。さらに、良好な切換え特性（大きな切換え分極および比較的の正方形に近いヒステリシス・ループ）を入手するための好適なZr/Ti組成は、約50/50である。別の方法としては、コンデンサの特性を最大限度に均一にするためには、好適には、Zr/Tiの組成を約65/35にすることが好適である。すべての場合において、約0.05～1%のドナー・ドーピング剤を含むドナーでドーピングしたPZTが好適である。ドナー・ドーピング剤は、点欠陥集中を制御することによりPZTの信頼性を改善する。これら誘電体用の好適な蒸着技術は、有機金属化学蒸着法（MOCVD）である。MOCVDは、特に、薄いフィルム（すなわち、100ナノメートルより薄いフィルム）に好適である。薄いPZTは、（エッティングする材料が少ないために）集積を簡単にし、（それ故、もっと少ない前駆物質を蒸着するだけですむので、材料が少なくてすむために）コストを安くし、（ほぼ同じ保磁電界を発生するのに保磁電圧がもっと低くてすむために）、より低い電圧動作を可能にするために非常に有利である。コンデンサの誘電体は、結晶状態／多結晶状態で蒸着することもできるし、低温で無定型状態で蒸着し、その後で、蒸着後焼き鈍しにより結晶状態にすることができる。この方法は、ビスマス強誘電フィルムに対して通常行われる方法である。この蒸着後の結晶化焼き鈍しは、蒸着直後、または電極蒸着またはコンデンサ後エッティング焼き鈍しのような後期プロセス・ステップの後で行うことができる。好適なMOCVD PZT方法を使用した場合には、好適には、450～600℃の間（より好適には、500～550℃の間）の温度で多結晶フィルムが蒸着される。

【0035】頂部電極は、コンデンサの誘電体126上に形成される（ステップ210）。本発明のこの実施形態の場合には、図に示すように、頂部電極は層128および130である。しかし、頂部電極は、単一の層の形で実行することもできる。好適には、層128は、（好適には、100ナノメートルより薄い、より好適には、50ナノメートルより薄い）酸化イリジウムでできていることが好ましく、層130は、（好適には、100ナノメートルより薄い、より好適には、50ナノメートルより薄い）イリジウムでできていることが好適である。特に、Pbをベースとする強誘電材料の場合には、多くの反対の状態である、書き込み／読み出し動作（疲労）による劣化を最小限度に低減するために、純粋な貴金属ではなく、IrO_x、RuO_x、RhO_x、PdO_x、PtO_x、AgO_x（Ba、Sr）RuO₃、LaSrCoO₃、LaNiO₃、YBa₂Cu₃O_{7-x}のような、導電性酸化頂部電極を持つと有利である。SBTのようなビスマスを含む強誘電材料の多くも、Pt、Pd、Au、Ag、Ir、RhおよびRuのような貴金属電極を使用することができ、依然として良好な疲労特性を保持している。頂

部電極が酸化物である場合には、頂部金属接点と酸化物との間に、低い接触抵抗を維持するために、その上に貴金属の層を設置すると有利である。例えば、 IrO_x と接触している TiN 層は、 TiO_2 を形成することができ、この TiO_2 は、以降の熱処理の間絶縁処理を行う。 Pt 、 Ru 、 Pd または Ir のような高価貴金属を使用する任意の電極の場合には、コストの点と集積の点からいって、できるだけ薄い層を使用することが有利である。 PZT の場合には、好適な頂部電極スタックは、 PZT コンデンサの誘電体の頂部上に、 $\text{Ar} + \text{O}_2$ 内で反応性PVD法により蒸着した、厚さ約20ナノメートルの IrO_x 上に、アルゴン内でPVDにより蒸着された、厚さ約10ナノメートルのイリジウムからできている。好適には、 IrO_x は、50～80%の窒素と残りが酸素であるガス混合物内で、比較的低いスパッタ電力で、すなわち、(好適には、20ナノメートル/分以下の)遅い蒸着速度で、400°C以下の温度で蒸着することが好ましい。頂部電極内の応力を制御するために、ハードマスクを蒸着する前に、頂部電極を焼き鈍すことができる。例えば、スパッタ蒸着した電極は、通常、圧縮応力を受け、その間、焼き鈍した電極内の応力は張力になる。

【0036】好適には、いくつかの層に対して異なるエッティング剤を使用して、一度に全部のコンデンサ・スタックをパターン形成し、エッティングすることが好ましい(ステップ214)。しかし、以降の単一の層または複数の層を形成する前に、各層または層のグループをエッティングすることができる。複数の層またはすべての層を、同時にエッティングする場合には、好適には、ハードマスク層132をスタックの上に形成することが好ましい(ステップ212)。好適には、ハードマスクは、エッティング・プロセス中、その統合性を保持するように、十分薄い材料からできていることが好ましい。好適には、ハードマスクの厚さは、約50～500ナノメートル、(より好適には、約100～300ナノメートル、最も好適には、約200ナノメートル)であり、 TiAlN 、 TiN 、 Ti 、 TiO_2 、 Al 、 AlO_x 、 AlN 、 TiAl 、 TiAlO_x 、 Ta 、 TaO_x 、 TaN 、 Cr 、 CrN 、 CrO_x 、 Zr 、 ZrO_x 、 ZrN 、 Hf 、 HfN 、 HfO_x 、酸化シリコン、K値が低い誘電体、またはその任意のスタックまたは組合せからできていることが好ましい。ハードマスク・スタックの一例としては、50ナノメートルの厚さにスパッタ蒸着した TiAlN 、または TiN の上に、300ナノメートルの厚さにPECVD蒸着した SiO_2 がある。ハードマスクの厚さは、エッティング・プロセス、および種々の材料の相対的エッティング速度、エッティングされた層の厚さ、必要な過度エッティングの量、すべての層をエッティングした後に残るハードマスクの必要な厚さにより制御される。層を薄くすれば、ハードマスクも薄くなる。ハード

マスクは、コンデンサ・スタックをエッティングした後で、除去しても、しなくてもよい。ハードマスク132を除去しない場合には、導電性材料のハードマスクを形成することが好ましい。しかし、非導電性の材料および半導体材料も使用することができるが、頂部電極に直接接続させるために、コンデンサの頂部電極への相互接続は、好適には、このハードマスクを通して形成することが好ましい。

【0037】ハードマスクの蒸着は、单一のスタックにすることもできるし、ハードマスクのプロファイルおよび残るハードマスクの厚さを、よりよく制御するために、異なる材料の複数の層のスタックにすることもできる。窒化金属のハードマスク用の好適な蒸着プロセスは、 $\text{Ar} + \text{N}_2$ ガスの混合物による、スパッタ蒸着である。ハードマスクを含む酸化シリコン用の好適な蒸着法は、TEOS PECVDである。

【0038】接点を形成した後の、いくつかの好適な蒸着ステップについて説明してきた。特に、底部拡散パリヤ、底部電極、強誘電材料、頂部電極およびハードマスクについて説明してきた。これらのプロセス・ステップ内で使用される装置の全部または殆ど全部の部品は、潜在的に強誘電元素により汚染されると見なされる場合が多い。それ故、上記装置のこれらの部品は、専用部品であると見なされる。ウェーハは、その裏面が高い汚染レベルではないにしても、有意な汚染レベルで汚染される可能性が最も高い。ハードマスクの蒸着が行われた後の次のプロセス・ステップは、通常、石版印刷である。それ故、このツールにより裏面が汚染している処理ウェーハは、上記ツールを汚染し、その結果、その背面に強誘電メモリ汚染物が付着している、このツールを通過して処理されたクリーンなウェーハが、汚染することになる。それ故、好適には、石版印刷装置を共有し、どの強誘電メモリも汚染しないで、クリーンなウェーハを上記石版印刷装置により処理することができるようにするために、強誘電メモリ・ウェーハの背面を清掃することが好ましい。ハードマスクが、 SiO_2 のような標準材料を含んでいる場合には、ウェーハは背面は、ハードマスクのこの後部を蒸着する前に清掃することができる。例えば、ハードマスクが、 TiAlN 上の SiO_2 からできている場合には、好適には、 TiAlN の蒸着プロセスの後で、 SiO_2 の蒸着プロセスの前に、ウェーハの背面を清掃することが好ましい。このことは、 SiO_2 蒸着ツールが汚染されるのを防止し、それによって、このツールを共有することができる。清掃プロセスは、背面の汚染元素およびその汚染レベルにより異なる。好適な方法(PVDパリヤ、ハードマスク、底部電極、頂部電極およびMOCVD PZT)を仮定した場合、背面上には低いレベルのイリジウムが存在するだろうが、MOCVDプロセスを受けた連続フィルムは縁部例外を持たない。それ故、このタイプのウェーハ汚染の場合に

は、好適なウェーハの背面清掃プロセスは、背面、縁部および縁部近くのウェーハの前面上の小さな領域をエッティングする湿式エッティング・プロセスである。上記エッティング・プロセスは、(例えは、 Si 、 SiO_2 または Si_3N_4 の場合には)、ウェーハの前面上に存在する材料により幾分異なる。 PZT の湿式エッティング・プロセスは、好適には、強力な弗酸または $\text{H}_2\text{O} + \text{HF} + \text{HC}$ I または $\text{H}_2\text{O} + \text{NH}_3\text{F} + \text{HC}$ I のような、塩素および弗素エッティング薬剤による酸混合物を使用して行なうことが好ましい。

【0039】好適には、一回だけの石版印刷ステップにより、コンデンサ・スタックに対する、パターン形成およびエッティング・プロセスを実行することが好ましい。そうすると、コストが安くなるばかりでなく、一回以上石版印刷ステップを使用する場合には必要になる、整合ミス許容範囲を考える必要がなくなるので、セルの大きさをもっと小さくすることができる。すでに説明したように、好適な方法は、複数のエッティング・プロセスを使用して、一つのハードマスクを使用する方法である。これらのエッティング・プロセスは、さらに急峻な側壁部の傾斜、およびそれによるもっと緩やかな寸法(CD)成長を達成するために、高温により修正することができる。通常、好適には、CD成長を最低限度に低減することが好ましいが、このような低減は、エッティング・プロファイルをもっと急峻にすることにより、および/または層をもっと薄くすることにより達成することができる。ハードマスクを使用する、本発明のある実施形態の低温エッティング・プロセスは、 PZT およびイリジウム構造体に対して、約74度の側壁部の傾斜を達成し、 TiAlN 構造体のプロファイルはもっと急峻である。イリジウムおよび PZT (エッティング速度の遅い材料)のエッティング速度は、約100ナノメートル/分である。

【0040】エッティング・プロセスは、汚いプロセスであり、そのため、エッティング・ツールおよびウェーハの前面、縁部および背面は、強誘電メモリにより汚染されるか、強誘電メモリ汚染を含むエッティング残留物で汚染される。それ故、ウェーハの前面を清掃し、エッティング残留物を化学的に除去し、できれば、損傷を受けた PZT の薄い層を除去する必要がある。このコンデンサ・エッティングの後で行う清掃プロセスは、ある種のエッティング条件および薬剤を使用することにより、脱イオン水(DI水またはDIW)清掃(メガソニックを伴うまたは伴わないタンク浸漬およびその後のスピンドル洗浄乾燥)のように簡単にすることもできるし、またはタンク・エッティングを、清掃を改善し、またはもっと多くの損傷を除去するために、酸をベースとするものにすることもできる。このエッティング・プロセスにより、側壁部上の貴金属のような、エッティングに強い材料の導電性層を再蒸着することができる。例えば、イリジウム底部電極の場合には、 PZT の側壁部上にイリジウムを再蒸着すること

とができる、そうすると、コンデンサに対する漏洩電流が、許容できないほど大きくなる。湿式清掃(ステップ216)は、また、強誘電材料を少しエッティングし、不必要的材料を溶波の中に溶かしては、それを洗浄するにより、不必要的材料を除去するために使用することができる。ウェーハの背面および縁部は、強誘電メモリ元素の再蒸着により有意に汚染される可能性が高い。上記元素は共有ツール内で処理を行う前に除去しなければならない。

10 【0041】コンデンサをエッティングすると、強誘電材料が損傷したり、劣化したりするので、修復しなければならない。この損傷を修復する一つの方法(ステップ216)は、(発生する恐れがある任意の酸素の喪失を修復するために)酸素プラズマ露出を行う方法であり、および/または酸素を添加し、また、エッティング・プロセスにより損傷した表面の結晶性を改善するために)、不活性または酸化雰囲気内で、 RTA または炉内焼き鈍しを行うことである。 PZT の場合には、この焼き鈍しは、好適には、(炉内焼き鈍しの場合には、好適には、約15分から2時間の間)、約500~650°Cで、または(RTA の場合には、好適には、10~60秒の間)、550~700°Cで、実行することが好ましい。

20 【0042】コンデンサの側壁部は、好適には、かなり急峻であることが好ましい。側壁部拡散バリヤは、好適には、層134の形成および相互接続用の孔部をエッティングする前に、コンデンサ・スタック上に形成することが好ましい(ステップ218)。側壁部拡散バリヤは重要なものである。何故なら、このバリヤにより、コンデンサをショートさせないで、相互接続に整合ズレを許容することができ、このバリヤが、コンデンサを保護して、コンデンサ内への大部分の物質の拡散を防止し、また、この構造体を保護して、コンデンサから外へ物質が拡散するのを防止するからである。本発明のこの実施形態の場合には、側壁部拡散バリヤは、図に示すように、二つの層(層118および120)であるが、側壁部拡散バリヤは、もっと多くの層、またはもっと少ない層を含むことができる。好適には、層118の厚さは、約30ナノメートルであり、 AlO_x 、 Ta_2O_5 、 AlN 、 TiO_2 、 ZrO_2 、 HfO_2 、またはこれらの任意のスタックまたは組合せからできていることが好ましい。層120の厚さは、約30ナノメートルであり、窒化シリコン、 AlN 、またはそれらの任意のスタック、または組合せからできていることが好ましい。(特に、有機金属前駆物質を使用する場合には、カルボキシ窒化物であってもよい)金属の酸化物または窒化物を蒸着するための好適なプロセスは、自由水素が最も少ない状態での(すなわち、 H_2 ではなく、 H_2O が形成されるような十分な酸素の存在下での)MOCVD法である。プラズマ促進CVD、またはMOCVDプロセスを使用することができる。別の方法としては、(酸化物に対する)Ar

$+ O_2$ 、(窒化物に対する) $Ar + N_2$ 、(オキシ窒化物に対する) $Ar + O_2 + N_2$ と一緒に、反応性スパッタ蒸着法を使用することができる。窒化シリコン用の好適なプロセスは、CVDまたはPECVDである。低水素プロセスの場合には、ガスは SiH_4 および N_2 でなければならない。この場合、 N_2 の流量は SiH_4 の流量よりも速い。水素を含まないPECVD Si_3N_4 蒸着プロセスの場合には、 $SiCl_4 + N_2$ を使用しなければならないが、この場合もまた、 N_2 の流量を $SiCl_4$ の流量よりも速くすると有利である。本明細書に記載する実施形態の場合には、 AlO_x 層は、 Pb および H 拡散バリヤとして使用され、一方、 Si_3N_4 層は、接触エッチング停止として使用される。

【0043】バイア・エッチングを、(例えば、 AlO_x のような) 側壁層上で停止するように修正することができる場合には、この層がエッチング停止層になり、追加の層(すなわち、 Si_3N_4) は必要ない。この場合には、側壁部の厚さを、もっと厚くしなければならない場合がある。

【0044】もう一つの方法は、蒸着を行った後で側壁部材料をエッチング・バックする方法である。このエッチング・バックは、拡散バリヤ層を蒸着した後で行うことができる。ある好適な実施形態の場合には、(好適には、厚さ40ナノメートルであることが好ましい) AlO_x が蒸着され、その後で、(例えば、 BCl_3 または Cl_2 のような) エッチング・ガスを含む塩素により、エッチング・バックが行われ、その後で、(好適には、厚さ約30ナノメートルであることが好ましい) Si_3N_4 のPECVD蒸着が行われる。

【0045】焼き鈍しを行っても、エッチングによる損傷が、修復できなかった場合には、側壁部拡散バリヤの蒸着を行った後で、焼き鈍しを行うことができる。PZTの場合には、好適には、この焼き鈍しは、(炉内焼き鈍しの場合には、約15分～2時間の間) 500～650℃で、または(RTAの場合には、約10～60秒の間) 550～700℃で実行することが好ましい。さらに好適には、RTAを650℃で1分間実行することである。強誘電コンデンサ上に直接形成された層間誘電体層が、最大熱収支が約500℃以下の、K値の低い材料である場合には、このオプションは好適なものである。この焼き鈍しは、酸化雰囲気条件、または不活性雰囲気条件で行うことができる。

【0046】 AlO_x 蒸着プロセスの初めのところで、ウェーハの前面は、強誘電メモリ元素に曝されている。 AlO_x 蒸着プロセスは、(約10¹⁰原子/平方センチである、要注意レベルより高いレベルでの、以降のウェーハ上の追加強誘電メモリ汚染と定義される) ツールの汚染を引き起こす場合もあるし、引き起こさない場合もある。強誘電メモリ・ウェーハ上の AlO_x 蒸着プロセスが、汚染を引き起こさない場合には、好適には、こ

の側壁部拡散バリヤを蒸着する前に、ウェーハの背面を湿式清掃することが好ましい。強誘電ウェーハ上の AlO_x 蒸着プロセスが、ツールの汚染を引き起こさない場合には、このステップの後で、上記の好適な背面清掃を実行することができる。ウェーハの背面の清掃に使用する湿式薬剤は、最初に使用したものと異なるものであってもよい。何故なら、背面の汚染は、異なる元素濃度レベルを持っていると予想されるからである。

【0047】層間誘電体は、側壁部拡散バリヤ上に蒸着される(ステップ220)。薄い誘電体層(図示せず)を各レベル間誘電体層(層112、134および160)の間に形成することができる。形成した場合には、好適には、この薄い層は、窒化シリコン、炭化シリコン($SiCNO$)または(好適には、高密度酸化プラズマであることが好ましい)酸化シリコンからできていることが好ましい。さらに、レベル間誘電体層112、134、160は、好適には、酸化物、酸化FSG、酸化PSG、酸化BPSG、酸化PETEOS、酸化HDP、窒化シリコン、オキシ窒化シリコン、炭化シリコン、カルボキシ窒化シリコン、(好適には、 $SiLK$ 、多孔性 $SiLK$ 、テフロン、(できれば、多孔質の)K値が低いポリマ、エロゲル、キセロゲル、黒いダイヤモンド、HSQ、または任意の他の多孔質のガラス材料のような)誘電定数の低い材料、またはそれらの組合せまたはスタックからできていることが好ましい。第一および第二のILD(112/134)の熱収支は、強誘電メモリ・モジュール・プロセスの詳細に衝撃を与える。第二の層間誘電体(134)を蒸着した後での、好適なプロセスは、以降の石版印刷プロセスのために表面を平にするために、好適には、CMPにより誘電体を平にすることである。選択したバックエンド金属被覆により、複数の処理オプションがある。エッチングしたアルミニウム金属被覆の場合には、最重要的オプションは、アルミニウム・バイアまたはタンクスチタン・バイア用のものである。(アルミニウムまたは銅が好適な)波形文様の場合には、(バイアおよび金属が同時に充填される)二重波形文様を選択するか、单一波形文様金属の前に、別々の金属バイア(アルミニウム、銅またはタンクスチタン)が充填される方法が選択される。バイアおよびエッチングした金属、または(バイア第一と呼ばれる)单一の波形文様金属を使用する、すべてのプロセス・ルートは、二重波形文様法と比較した場合、強誘電メモリ・プロセスの詳細という点では、もっと類似している。

【0048】バイア第一のプロセスの流れは下記の通りである。銅のような金属被覆スキームにより、(通常は、炭化シリコン、窒化シリコン、酸素窒化シリコン、カルボキシ窒化シリコンである)拡散バリヤ/エッチング停止層が、ILD上に蒸着される。その後で、パターン形成したレジストを形成するために、石版印刷が使用される。その後で、接触エッチング・プロセスにより下

記のスタック、すなわち、(存在する場合には)反射防止コーティング、(存在する場合には)エッチング停止層、ILD、その後で、コンデンサの上に位置する側壁部拡散バリアがエッキングされる。(周辺部と比較した場合、接点上のバイアの深さが浅くないので)、異なる各材料に対して、異なるエッキング・プロセス(化学およびプラズマ条件)が使用される可能性が高い。側壁部拡散バリアが、Al₂O_x上のSi₃N₄からなる好適な実施形態の場合には、Si₃N₄は、ILDエッキングに対して、エッキング停止層の働きをすることができる。このエッキングは、エッキングした種々の領域の間で、ILDの厚さが異なるゲート・エッキングのような用途の場合には、標準的なエッキング方法である。ILDエッキングを行った後で、(バイア孔部により露出される)Si₃N₄およびAl₂O_xが、同じまたは異なる薬剤でエッキングされる。通常、バイアの領域は狭いので、すべてのエッキング・ステップは、タイミングを合わせて行われる。しかし、好適には、(光学的放射または気相RGAのような)ある種のリアルタイムの測定による、終点決定を行うことが好ましい。強誘電メモリの損傷制御の場合には、底部層側壁部バリアのエッキング・プロセスを制御することが特に重要である。好適には、もっと小さなプラズマ損傷でプラズマ条件、および過度エッキングの少ない均一なエッキング速度を使用することが好ましい。バイア・エッキング・プロセスの後で、通常、灰プロセスおよびその後で行われる湿式清掃および乾燥によりレジストが除去される。

【0049】好適には、エッキングによる損傷を除去するために、バイア・エッキング・ステップの後で、焼き鈍しプロセス・ステップ(ステップ222)を実行することが好ましい。PZTコンデンサ誘電体の場合には、この焼き鈍しは、好適には、(炉内焼き鈍しの場合には、約15分～2時間の間)500～650℃で、または(RTAの場合には、好適には、約10～60秒の間)550～700℃で実行することが好ましい。さらに好適には、RTAプロセスを650℃で1分間実行することが好ましい。また、好適には、頂部電極拡散バリアを酸化しないために、上記焼き鈍しを不活性の雰囲気(N₂またはAr)内で実行することが好ましい。層間誘電体層として、最大熱収支が約500℃以下の、K値の低い材料を選択した場合には、このオプションは好適なものである。第一または第二のILD(112/134)の最大熱収支のために、このようにすることができない場合には、好適には、RTAプロセスにより、そのILDに対して可能な最大熱収支を使用することが好ましい。

【0050】バイアが形成された場合には、標準的金属被覆によりバイアを充填することができる。通常の金属被覆および拡散バリアについては既に説明したが、窒化TaまたはTi/TiNのバリアを含む銅、タンクステン

ン、ドーピングされたアルミニウムの金属を含む。好適には、清掃と蒸着との間に真空状態を中断しないで、ツール内のバリヤおよび金属層を蒸着する前に、バイアの底を清掃するためには、(例えば、エチルメタキシドのような)短期プラズマ清掃を使用することが好ましい。銅の場合には、好適には、Ta、Ta_NxまたはTiNバリヤを使用し、その後で、銅シード層の蒸着を行うことが好ましい。好適には、この後で、銅の電気メッキまたは蒸着を行うことが好ましい。レベル間誘電体上の銅およびバリヤは、好適には、CMPにより除去することが好ましい。タンクステン・バイアの場合には、好適には、Ti/TiNバリヤを使用し、その後で、エッキング・バックまたはCMPにより、CVDによるタンクステン、および過度のタンクステンを除去することが好ましい。アルミニウムのバイアの場合には、Ti/TiNバリヤの後で、アルミニウムが蒸着(CVD、リフロウによるPVD、または高温PVD)される。ILDの頂部の上のアルミニウムは、金属線を形成するために除去されるか、またはパターン形成され、エッキングされる。

【0051】頂部電極およびPZTが、導電性ハードマスクおよび/または拡散バリアまたは側壁部拡散バリアで保護されていない場合には、バイア・エッキング用のツール、バイア形成後の清掃、焼き鈍し用ツール、金属プラズマ清掃および均等バイア蒸着ツールは、潜在的に、強誘電メモリ元素で汚染される恐れがある。上記の保護を行っても、大幅な過度エッキングのようなプロセス上のミスにより、エッキング用ツールが汚染される恐れがある。それ故、プロセスの制御および有意なモニタにより、これらのツールを専用ツールとしないで共有することができる。これらのツールを専用ツールにする必要があるとの判断が行われた場合には、他の汚染されていないツールに、強誘電メモリ汚染が広がる機会を根絶するために、ウェーハが最後の専用ツールから送り出された後で、背面湿式清掃を行うことを決定する必要がある。

【0052】二重波形文様プロセスの流れ用のプロセスの流れについて以下に説明する。本明細書に記載する流れは、バイア第一流れであるが、多くの強誘電特有の特徴も、他のプロセスの流れのルートに適用される。銅のような金属被覆スキームにより、(好適には、炭化シリコン、窒化シリコン、酸素窒化シリコン、カルボキシル窒化シリコンからできていることが好ましい)拡散バリア/エッキング停止層がILD上に蒸着される。その後で、第二の金属間層の誘電体(ILDまたはIMD)が、上記の選択の中の一つにより蒸着される。(場合によっては、この後で、他の拡散バリア/エッキング停止層が、形成される場合がある。)その後で、バイアをパターン形成するために、石版印刷が使用される。その後で、バイアは、上記と同じ手順でエッキングされるが、

この場合には、側壁部拡散バリヤに行当たるまでに誘電体の複数の層が存在する可能性がある。さらに、二重波形文様法の場合の第一の（深い）バイアのアスペクト比は、一つのバイアの場合のアスペクト比より大きい。レジスト・アッシュ、バイア・エッチングおよび清掃の後で、第一のバイアは、レジストにより充填され、金属パターンを形成するために、石版印刷が行われる。金属パターンが、頂部誘電体内にエッチングされ、その深さがエッチング・プロセス中に制御されるか、またはエッチング停止層により制御される。その後で、レジストが除去され、エッチングのクズが湿式清掃により除去される。

【0053】次のステップは、エッチング後の回復焼き鈍し実行ステップであるが、熱収支は、もっと多くの誘電体層により制限される。P Z Tからなるコンデンサ誘電体の場合には、この焼き鈍しは、好適には、（炉内焼き鈍しの場合には、約15分～2時間の間）500～650℃で、または（RTAプロセスの場合には、約10～60秒の間）550～700℃で実行することが好ましい。さらに好適なのは、RTAプロセスを650℃で1分間実行することである。また、好適には、頂部電極拡散バリヤを酸化させないために、上記焼き鈍しを不活性の雰囲気（N₂またはAr）内で実行することが好ましい。層間誘電体層として、最大熱収支が約500℃以下の、K値の低い材料を選択した場合には、このオプションは好適なものである。ILDの最大熱収支のために、このようにすることができない場合には、好適には、RTAプロセスにより、そのILDに対して可能な最大熱収支を使用することが好ましい。

【0054】次のステップは、バイアおよび金属線用の凹部を同時に充填するために、バリヤおよび金属を蒸着するステップである。波形文様プロセスを除く、通常の金属被覆および拡散バリヤについてはすでに説明したが、これらは、銅、タンクスチタン、Ta、Ta_NxまたはTi/TiNのバリヤを含むドーピングしたアルミニウムを含む。好適には、清掃と蒸着との間に真空状態を中断しないで、ツール内のバリヤおよび金属フィルムを蒸着する前に、バイアの底を清掃するために、（例えば、Ar、Ar+N₂のような）短期プラズマ清掃を使用することが好ましい。二重波形文様方法の汚染問題は、バイア第一法の汚染問題に類似している。

【0055】頂部電極への電気的接続を供給するために、相互接続部136が形成される。上記相互接続部は、好適には、駆動線140に接続していることが好ましい、導体144に接続している。駆動線140は、好適には、デバイスの動作中、約1.2ボルトの電位になることが好ましく、この電圧は使用する論理技術発生により異なる。

【0056】本発明の一実施形態の説明は、図2のプロセスの流れおよび図3a～図3cのメモリ・デバイス1

03の断面図に関連する。図1の参照番号と同じ参照番号がついている、図3a～図3cの機能は、似ているまたは類似の機能を表わす。

【0057】図3aと図2のプロセス・ステップ202について説明すると、標準半導体処理技術により、レベル間誘電体層112が形成され、（必要な場合には）平面化される。ホトレジスト層（図示せず）が形成され、接点孔部がレベル間誘電体層112内にエッチングされる。ホトレジストを除去した後で、バリヤ/ライナー層116が、（好適には、化学蒸着法、CVDにより）プランケットのように形成される。次に、接点孔部の残りの部分を充填するために、導電性材料が、プランケットのように形成される。レベル間誘電体層の上に位置する導電性材料およびライナー/バリヤ層の一部が、プラグ114およびライナー/バリヤ116を形成するためには、化学的機械的研磨（CMP）により、エッチング・バックまたは研磨バックされる。好適には、表面をできるだけ平にするために、CMPプロセスを使用することが好ましい。エッチング・バック・プロセスを実行すると、その結果、凹部が形成され、この表面状態のために以降の処理が必要になる場合がある。このような表面状態により、強誘電層内の局部的な結晶状態が劣化し、そのため、コンデンサの特性が劣化する場合がある。

【0058】図2のステップ204について説明すると、そうしたい場合には、二つの層酸化バリヤ層302が形成される。最初に、TiN（好適には、厚さ約50ナノメートル）が、CVD（標準半導体工業プロセス）により蒸着され、その後で、（好適には、厚さ約30ナノメートルの）TiAlNが蒸着される。上記TiAlNは、好適には、ArおよびN₂内で、反応性スパッタ蒸着により蒸着することが好ましい。TiAlNターゲットの好適な組成は、Ti_{0.6}Al_{0.4}であり、蒸着プロセスは、好適には、約50ナノメートル/分の速度で蒸着を達成するように、スパッタ電力を設定して、（好適には、約40/60の比率の）ArおよびN₂内で、約350℃（ウェーハ温度）で実行するのが好ましい。強誘電キャパシタのMOULD堆積、または強誘電体の酸素アーニルのような、酸素を含むプロセス中に、導体内に酸素が拡散することにより、導体114の比抵抗が悪影響を受ける場合には、層302（122）を形成しなければならない。

【0059】次に、ステップ204においては、底部電極材料304（124）が形成される。底部電極材料304は、このコンデンサを形成するために使用する誘電体材料306により、一つまたはそれ以上の層を含むことができる。この実施形態の場合には、層304は、好適には、ArおよびO₂雰囲気内で、反応性スパッタ蒸着により蒸着された30ナノメートルIrO_xの下に、スパッタ蒸着により蒸着された約20ナノメートルのイリジウムからできていることが好ましい。好適には、

コストおよび設備投資の理由から I_r と I_rO_x を同じチャンバ内で蒸着するのが好ましい。上記蒸着は、好適には、約 50 ナノメートル/分の速度を達成するよう に、スパッタ電力を設定して、 A_r 電圧気内で、約 300 °C のウェーハ温度で実行することが好ましい。この直後に、ガスの雰囲気が $A_r + O_2$ (30/70) に変更され、 I_rO_x を約 30 ナノメートル/分で蒸着するよう にスパッタ電力が調整される。もう一つの好適な実施形態は、底部電極として、好適には、厚さが I_r の約 100 ナノメートルまたは以下、より好適には、約 50 ナノメートルの I_r 層を含む。

【0060】好適には、 TiN は、共有ツールで蒸着し、 $TiAlN$ は、 I_r および/または I_rO_x 蒸着室に、集中的に設置されている専用ツールで蒸着するが好ましい。また、好適には、コストと設備投資の点から I_r および I_rO_x を同じチャンバ内で蒸着するのが好ましい。 $TiAlN$ の蒸着が行われる前に、 TiN が空気に触れる場合には、好適には、(約 1 ナノメートルの TiN を除去する) 不活性ガス焼き純しおよび/または プラズマ清掃を、 $TiAlN$ の蒸着の前に実行するのが好ましい。

【0061】図 3b について説明すると、コンデンサ誘電体層 306 は、ステップ 208 において形成される。好適には、層 306 (126) は、100 ナノメートルより短い (より好適には、50 ナノメートル) 有機金属コントローラ CVD (MOCVD) により形成される PZT からできていることが好ましい。しかし、化学溶液蒸着 (ゾルゲルまたは金属有機分解) のような他の技術も使用することができる。さらに、良好な強誘電切換特性 (大きな切換え分極、および比較的正方形に近いヒステリシス・ループ) を入手するための好適な Zr/Ti 組成は約 20/80 である。別の方針としては、切換え分極を最低限度まで低減し、コンデンサの特性を均等にするには、 Zr/Ti 組成を約 65/35 にすることが好ましい。さらに、好適には、約 0.5~1% のドナー・ドーピング剤を含むドナーでドーピングした PZT を持つことが好ましい。ドナー・ドーピング剤は、点欠陥集中を制御するのを助けて、PZT の信頼性を向上させる。MOCVD プロセス条件は、好適には、約 600 °C 以下の温度 (さらに好適には、550 °C 以下の温度で) 実行するのが好ましい。PZT の蒸着速度は、100~200 ナノメートル/分に設定される。フィルム組成の再現性のある制御を入手するために、MOCVD プロセスは、液状に保つために、溶媒と一緒に混合される有機金属前駆物質の、二つまたは二つ以上のカクテルを使用することができる。MOCVD リアクタは、一つまたは二つの記号化器により液体を気化し、前駆物質が分解または凝縮するのを防止するために、リアクタの壁部温度を正確に制御するように設計されている。好適には、前駆物質を、酸化剤 (O_2 、 N_2O または好適に

は、 O_2 を含む H_2O) と混合されるリアクタ・チャンバに流すために、 A_r または He キャリヤ・ガスを使用することが好ましい。

【0062】¹⁰、²⁰、³⁰、⁴⁰、⁵⁰ は、頂部電極として 8/310 (128/130) が形成される。PZT コンデンサ誘電体の場合には、好適な頂部電極スタックは、PZT コンデンサ誘電体の頂部上に形成される、 A_r および O_2 内での反応性 PVD により蒸着された約 20 ナノメートルの I_rO_x 上に、 A_r 内で PVD により蒸着された約 10 ナノメートルのイリジウムからできている。好適には、比較的小さなスパッタ電力、すなわち、遅い蒸着速度 (好適には、約 20 ナノメートル/分) で、残りの部分が酸素である 50~80% のガス混合物内で、400 °C 以下の温度で蒸着するのが好ましい。また、好適には、コストおよび設備投資を低減するために、同じチャンバ内で I_r および I_rO_x 蒸着するのが好ましい。

【0063】¹⁰、²⁰、³⁰、⁴⁰、⁵⁰ ステップ 212 においては、ハードマスク 312 (132) を形成するために、ハードマスク層が形成され、パターン形成され、エッチングされる。好適には、ハードマスクは、コンデンサ・スタックの以降のエッチング中に、目でみて分かる程度エッチングされる材料からできていることが好ましい。また、ハードマスク材料が導電性であれば有利である。何故なら、導電性であれば、頂部電極への電気的接続を容易に行うことができるからである。好適には、ハードマスクは、200 ナノメートルのスパッタ蒸着された $TiAlN$ (40% アルミニウム・ターゲット、 $A_r + N_2$ (50/50)、400 °C ウェーハ温度) からできていることが好ましい。別の方針としては、ハードマスクは、50 ナノメートルの $TiAlN$ の上の 300 ナノメートルの SiO_2 からできている。この場合、 SiO_2 は、TEOS PECVD で蒸着される。ハードマスク・スタックの他の実施形態は、50 ナノメートルの $TiAlO$ 上に形成された 20 ナノメートルの $TiAl$ 上の、30 ナノメートルの $TiAlN$ である。好適には、これらの層すべては、窒化物に対するガス組成 ($A_r + N_2$ (50/50)、金属に対する A_r 、および酸化物に対する $A_r + O_2$ (90/10) または $A_r + N_2 + O_2$ (85/10/5)) を変化させることにより、蒸着中フィルムの組成が変化する同じチャンバ内でスパッタ蒸着により蒸着することができる。 $TiAlN$ は、好適には、約 100 ナノメートル/分の $TiAlN$ 蒸着速度を達成するため、約 400 °C で蒸着するのが好ましい。これらすべての場合、 $TiAlN$ の代わりに TiN を使用することができる。

【0064】好適には、石版印刷ツールの汚染を防止するため、ウェーハの背面を清掃することが好ましい。湿式エッチング・プロセスは、幾分、(例えば、それ

が、シリコン、二酸化シリコンまたはSi₃N₄である場合) ウェーハの背面上に存在する材料に依存する。湿式エッティングPZTは、強力な弗素酸、または(さらに、好適には、) H₂O+HF+HClまたはH₂O+NH₃+HF+HClのような塩素および弗素エッティング薬剤との酸の混合物を必要とする場合がある。この薬剤は、また、ウェーハの背面/縁部上に存在する場合がある、低いレベルのイリジウムを除去する。

【0065】任意の従来のタイプのパターン形成を使用することができるが、ホトレジスト・マスクを使用するのが好ましい。パターン形成マスクを形成した後で、この一つのマスクで、全スタックがエッティングされる(ステップ214)。それ故、このエッティングは、ハードマスク、頂部電極、PZT、底部電極および底部電極拡張バリヤをエッティングする必要がある。好適なエッティング方法は二つある。

【0066】第一のエッティング方法は、同じチャンバ内で下記のプロセス・シーケンスにより、これらの層すべてをエッティングするのに一つの高密度のプラズマ・エッティング・チャンバを使用する。それぞれの場合、遠隔プラズマ密度は、最大電力に設定される。ハードマスクは、最初、塩素薬剤によりエッティングされる。(SiO₂ハードマスクを使用する場合は別で、その場合には、弗素薬剤と塩素薬剤が使用される。) 一例としてのTiAlNエッティングは、約10ミリトルの圧力下で、基板に中程度のバイアスを掛け、Cl₂およびN₂(80/20)エッティング剤を使用して行われる。ハードマスクの一部がTiAlO_xである場合には、この層を貫通するのに、好適には、短期高電力ステップを追加することが好ましい。ハードマスクをエッティングした後で、約40ミリトルの圧力下で、基板に低いバイアスを掛けた状態で、O₂およびN₂(85/15)により、レジストを除去する。Ir/IrO_x頂部電極は、好適には、(約3ミリトルの) 低圧下で、高いバイアス(約100ナノメートル/分のエッティング速度)を掛けた状態で、Cl₂+N₂+O₂薬剤(60/20/20)によりエッティングされる。IrエッティングとTiAlNハードマスク・エッティングとの間に、確実に高い選択性を維持するために酸素が添加される。PZTは、中程度の圧力(約10ミリトル)下で、高いバイアス(約100ナノメートル/分のエッティング速度)を基板に掛けた状態で、(例えば、Cl₂+CF₄+N₂+O₂(45/15/20/20)のような)、塩素と弗素を含む反応性薬剤内でエッティングされる。この場合も、PZTエッティング速度と、ハードマスク・エッティング速度との間に確実に良好な選択性を維持し、PZTからの酸素の喪失を最小限度に低減するために酸素が添加される。底部電極は、好適には、頂部電極と同じ方法でエッティングすることが好ましい。TiAlN底部拡散バリヤは、好適には、頂部電極と同じ方法でエッティングすることが好ましい。エッティング剤

は、Cl₂およびN₂(80/20)を含む。圧力は、好適には、約10ミリトルであることが好ましく、エッティングは、(約30ナノメートルの除去)の短期高電力短時間ステップで開始し、その後で、~100%過度エッティング時間で低電力エッティング・ステップを行うことが好ましい。

【0067】第二のエッティング方法は、Ir、IrO_xおよびPZTのような、室温に近い揮発性の低い種類をエッティングするのに、高温エッティング・プロセスを使用する。それ故、このプロセス・シーケンスを以下に示す。SiO₂ハードマスクの場合には、SiO₂は、最初、標準SiO₂エッティング薬剤により、(弗素薬剤だけの) 専用SiO₂エッティング・チャンバ内でエッティングされる。その後で、(O₂+N₂+H₂O+オプションとしてのCF₄のような) 標準アッシュ・プロセスによりレジストが除去される。(SiO₂の下の) TiAlNは、好適には、上記と類似の薬剤および電力で、しかし、もっと高い圧力(15~20ミリトル)で、Irの前に高温エッティング・チャンバ内でエッティングされる。TiAlNハードマスクの場合には、上記プロセス条件に近いプロセス条件により、室温に近いエッティング・チャンバが使用される。レジストは、上記チャンバまたは専用チャンバ内で除去することができる。Ir/IrO_x頂部電極、PZT、IrO_x/Ir底部電極およびTiAlN底部電極拡散バリヤは、チャンバ圧力が10~20ミリトルである点を除けば、室温で、上記と類似のエッティング方法により、高温でエッティングされる。

【0068】好適には、次に、5分間の間、DI H₂Oまたは(例えば、H₂O+NH₄F+HCl(500:1:1のような)薄い酸のメガソニック・クリーンを含むタンク内に浸漬することによりウェーハを洗浄し、その後で、DI H₂Oスピinn・洗浄・乾燥を行うことが好ましい。別の方法としては、スプレー酸(水)ツールを使用することができる。

【0069】次のプロセスは、側壁部拡散バリヤ314/316(118/120)蒸着を含む(ステップ218)。この層の利点は、この層が、誘電体材料からできている場合で、頂部電極と接触するように形成されている接点が若干ズレている場合でも、この絶縁拡散バリヤ層がない場合には、コンデンサの二つの電極をショートすることができることである。本発明のこの実施形態の場合には、拡散バリヤは酸化アルミニウムの層316(118)、および窒化シリコンの層314(120)からできている。他のバイアス層も使用することができるが、層のこの組合せは、以降のコンデンサ・スタックまたは必要な焼き鈍しステップに悪影響を与えないで、最高の拡散バリヤ特性を供給するように思われる。この好適な方法は、(15~50ナノメートル、より好適には、PVDFによる30ナノメートルまたはMOxVDによる20ナノメートルの) AlO_xを蒸着するためのも

のである。 AlO_x のスパッタ蒸着は、好適には、(15ナノメートル/分より遅い)遅い蒸着速度で、300°Cのウェーハ温度で、 $\text{Ar} + \text{O}_2$ (92/8)により、脈動直流電源により、純粹なアルミニウム・ターダーを使用して実行することが好ましい。

【0070】好適には、強誘電コンデンサ・エッティング・ツール、湿式浴、スピンドル洗浄乾燥および側壁部拡散ツールは、相互汚染を避けるために、強誘電メモリ・プロセス・モジュール専用のものとして共有にしないことが好ましい。好適には、装置を、強誘電メモリ構造体だけを製造する際に使用するだけの専用装置としないことが好ましい。そのツールが共有できないことを確認するために、エッティング・ツールを除いてすべてのツールに対して、汚染試験を実行することを勧める。

【0071】好適には、以降の誘電体蒸着ツールの汚染を防止するために、ウェーハの背面を清掃することが好ましい。湿式エッティング・プロセスは、(例えば、 Si 、 SiO_2 または Si_3N_4 である場合)、ウェーハの背面上に存在する材料に若干依存する。 PZT の湿式エッティングは、通常、強力な弗酸、より好適には、 $\text{H}_2\text{O} + \text{HF} + \text{HCl}$ または $\text{H}_2\text{O} + \text{NH}_3\text{F} + \text{HCl}$ のよう、塩素および弗素エッティング薬剤を含む酸混合物を必要とする。この薬剤は、また、ウェーハの背面/縁部上に存在する場合がある、低いレベルのイリジウムを除去する。

【0072】次の好適なステップは、(1~100の流量) $\text{SiH}_4 + \text{N}_2$ の好適なプロセスにより、また PECVD により、(約15~50ナノメートル、より好適には、20ナノメートルの)、薄い Si_3N_4 エッティング停止層を蒸着するステップである。

【0073】多くの種類の層間誘電体(ILD)をコンデンサ上に蒸着することができる。強誘電メモリ・プロセス・モジュールの目標は、この選択を制限することではなく、プロセスの流れが、(例えば、論理セクションのような)デバイス残りの部分に対して最適なものを使用することができるようになることである。しかし、 PZT を使用する場合には、このことは、(PZT 蒸着後の)熱収支を約600°C以下に制限する。そうでない場合には、何を選択しても同じである。

【0074】ILD蒸着後の最大熱収支が、600°Cより小さい場合には、(できれば、RTAにより、60秒間 O_2 内で600~650°Cでの) AlO_x 蒸着後で、焼き鈍しを行うことが好ましい。ILD蒸着後に、好適には、CMPによりサンプルを平面化することが好ましい。

【0075】バックエンド金属被覆には、多くの選択肢がある。この場合も、強誘電メモリ・プロセス・モジュールの目標は、この判断を制限することではなく、プロセスの流れが、論理部分のようなデバイスの残りの部分に対して最善のものを使用できるようにすることであ

る。バイア・エッティングの後、およびバイア・エッティング・プロセス自身により、熱収支が影響を受ける場合には、上記選択は、強誘電メモリ・プロセス・モジュールに影響を与える。二つのバンクエッティング法について説明する。二つの選択は、アルミニウム金属被覆によるタンクステン・バイアを含み、第二のものは、低K値誘電体(低熱収支)による銅二重波形文様プロセスを含む。

【0076】10 タンクステン・バイアおよびアルミニウム金属被覆の場合には、コンデンサ上のILDが、600°C以上の熱収支に耐えることができるが好ましい。

【0077】20 CMPによる平面処理を行った後で、バイアをパターン形成するために、石版印刷が行われる。その後で、四つのステップ(反射防止コーティング・エッティング、ILDエッティング、 Si_3N_4 エッティング、および AlO_x エッティング)により、バイアのエッティングが行われる。 AlO_x エッティングを除けば、これらのステップは、標準バイア・エッティング・プロセスである。好適な AlO_x エッティング・プロセスは、(~5ミリトルの)低圧力下で、高い直流バイアスをバイアスを掛けた状態で高密度プラズマを使用する。 AlO_x エッティング・プロセス、および Si_3N_4 エッティング・プロセスは、ウェーハ上に均一で繰り返し行うことができるエッティングを達成できるように調整される。こうすることにより、必要な過度エッティングの量を最低限度に低減することができる。この影響が、ハードマスク312/132の頂面のところで停止すること、またはハードマスク312/132の一部だけをエッティングすることは重要なことである。好適には、エッティング・ステップの終点を検出することが好ましい。バイア・エッティングを行った後で、通常は、溶媒清掃の後で、DIスピンドル洗浄/乾燥が行われる標準バイア清掃プロセスによりウェーハの清掃が行われる。

【0078】40 導体132およびライナー138が形成される前のステップ222においては、コンデンサの誘電体への(強誘電材料エッティング、カプセル封入、および接触エッティングのような)コンデンサ・スタック処理による損傷を除去し、これらの機能の電気的特性を改善するために、本発明の焼き鈍しが行われる。この時点で上記焼き鈍しを行わなかった場合には、(すなわち、焼き鈍しが、側壁部上の露出したPZTスタックに対して行われた場合には)、各コンデンサの周囲の鉛が喪失する。PZTフィルム内のこのようないわゆる鉛の喪失は、コンデンサを集した後で、小型コンデンサ(周囲:面積比の大きなコンデンサ)の電気的特性を劣化する。本発明の焼き鈍しは、好適には、レベル間誘電体が形成され、バイア孔部がパターン形成され、エッティングされた後であつて、導電性材料でバイアが充填される前に、実行することが好ましい。焼き鈍し条件は、 Ar および N_2 のよう50 な不活性雰囲気内、または真空中で、約30秒から5分

(より好適には、約1～4分、最も好適には、約2分)の間、約400～800°C (より好適には、約500～700°C、最も好適には、約600°C) で焼き鈍しを実行することである。ILDの熱収支によりそれができない場合には、RTAにより使用できる最高の熱収支により、焼き鈍しを行うことが好ましい。

【0079】その後で、拡散バリヤ・ライナーは、Ar またはAr+H₂により、バイアをスパッタ清掃した後で、Ti上上のTiNのスパッタ蒸着により蒸着される。好適には、これらのツールのすべてが専用ツールでないことが好ましい。汚染試験により、これらのツールで処理したクリーンなウェーハ上に、強誘電メモリ汚染が認められた場合には、汚染されている接触エッティング後のすべてのツールを専用ツールにして、プロセスの流れのこの時点で、強誘電メモリ汚染を除去するために、ウェーハの背面清掃を実行する必要がある。

【0080】使用した場合には、バイアを充填するために、CVDタンクス滕を蒸着し、頂面からタンクス滕を除去するために、CMPまたはエッティング・バックが使用される。その後で、金属被覆が蒸着される。好適には、このステップが、Ti上に位置するTiN上に存在する (銅でドーピングされた) アルミニウム上のTiNのスタックからなることが好ましい。その後で、アルミニウムがパターン形成され、エッティングされる。以降のプロセスは、強誘電メモリ・プロセス・モジュールにより影響を受けない。より詳細に説明すると、好適には、形成ガス焼き鈍しを金属被覆プロセス・ステップ中に、またはプロセスの流れの終点で使用することが好ましい。何故なら、この焼き鈍しは、通常、500°C以下で行われるからである。

【0081】K値が低い誘電体 (低熱収支) を含む銅の二重波形文様の特定の例の場合には、コンデンサ上にILDを蒸着した後での、好適な最大熱収支は450°Cである。好適には、コンデンサのエッティングによる損傷を除去するために、側壁部バリヤの蒸着後で、焼き鈍しを上記のように実行することが好ましい。

【0082】CMPを行った後で、SiCONの薄いエッティング停止層 (15ナノメートル) がCVDにより蒸着され、その後で、K値が低く、熱収支が低いIMDが蒸着され、その後で、もう一つの薄い (15ナノメートル) エッティング停止層が蒸着される。その後で、バイアをパターン形成するために、石版印刷が使用される。その後で、バイア・エッティングを下記の層、 (存在する場合には) 反射防止コーティング、SiCON、IMD、SiCON、ILD、Si₃N₄およびAlO_xを貫通して実行しなければならない。その後で、レジストは除去され、 (好適には、湿式プロセスにより) バイアが清掃される。次に、金属機能をパターン形成するために、石版印刷が使用される。その後で、好適には、金属エッティングにより、 (存在する場合には) 反射防止コーティン

グ、SiCONおよびIMDだけを貫通してエッティングが行われ、エッティングは、下のSiCON層のところで停止する。その後で、レジストが除去され、金属およびバイアが清掃される。好適には、N₂または好適な不活性ガス内でのバイア・エッティング清掃後、または金属エッティング清掃後に入手することができる、最大熱収支により焼き鈍しを実行することが好ましい。次のステップは、プラズマ清掃、その後でのTaNxシード層、銅シード層の蒸着、およびその後のバイアを充填するための、銅の蒸着からなる金属蒸着ステップである。銅およびTa_xN_xは、CMPにより、上記IMD上から除去される。

【0083】好適には、これらツールのすべてが専用ツールでないことが好ましい。しかし、汚染試験により、これらツールで処理したクリーンなウェーハ上に、強誘電メモリ汚染が認められた場合には、汚染されている接触エッティング後のすべてのツールを専用ツールにして、プロセスの流れのこの時点で、強誘電メモリ汚染を除去するために、ウェーハの背面清掃を実行する必要がある。

【0084】本発明の特定の実施形態について説明してきたが、これら実施形態は本発明の範囲を制限するものと解釈すべきでない。本明細書の方法を読めば、当業者であれば本発明の多くの実施形態を容易に思いつくことができるだろう。本発明の範囲は、添付の特許請求の範囲によってのみ制限される。

【0085】以上の説明に関して更に以下の項を開示する。

(1) ある構造体上に位置する強誘電コンデンサの製造方法であって、前記構造体上に一つの頂面と複数の側面とを持つ底部電極を形成するステップと、前記底部電極上に、強誘電材料からなり、一つの頂面と複数の側面とを持つコンデンサ誘電体を形成するステップと、前記コンデンサ誘電体の上に、前記底部電極と、前記コンデンサ誘電体と、前記頂部電極からなり、一つの頂面と複数の側面とを持つ頂部電極を形成するステップと、前記底部電極の前記側面上、前記コンデンサ誘電体の前記側面上および前記頂部電極の前記側面上にバリヤ層を形成するステップと、前記バリヤ層および前記構造体の上に、一つの頂面と一つの底面とを持つ誘電体の層を形成するステップと、ある時間中、アルゴン、窒素およびその組合せからなるグループから選択したガスからなる雰囲気内で、400～900°Cの温度で、前記バリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む方法。

【0086】(2) 第1項記載の方法において、さらに、前記誘電体層内に、前記誘電体層の前記頂面から前記底面に延びる開口部を形成するステップと、前記誘電体層の前記開口部を前記頂部電極と電気的な接続を行う導電性材料で充填するステップとを含む方法。

【0087】(3) 第2項記載の方法であって、加熱ステップを実行するステップが、前記誘電体層内に複数の開口部を形成する前記ステップの後であるが、前記誘電体層内の前記開口部を導電性材料で充填するステップの前に実行する方法。

【0088】(4) 第2項記載の方法において、さらに、前記頂部電極上に導電性のハードマスクを形成するステップと、前記誘電体層内に、前記導電性のハードマスクまで、または前記頂部電極まで下に向かって延びる開口部を形成するステップとを含む方法。

【0089】(5) 第1項記載の方法において、前記温度が500～700℃である方法。

【0090】(6) 第1項記載の方法において、前記温度が500～650℃であり、前記加熱ステップの持続時間が約15～120分である方法。

【0091】(7) 第1項記載の方法において、前記温度が550～700℃であり、前記加熱ステップの持続時間が約10～60秒である方法。

【0092】(8) 第1項記載の方法において、前記構造体が、その内部に形成された導電性接点を含む誘電体層であり、前記導電性接点が、前記底部電極に対して電気的な接続を行う方法。

【0093】(9) 第1項記載の方法において、前記コンデンサの誘電体がPZTを含む方法。

【0094】(10) 第1項記載の方法において、前記底部電極が、イリジウム、酸化イリジウムまたはそのスタッフからなるグループから選択した材料からできている方法。

【0095】(11) 第1項記載の方法において、前記頂部電極が、イリジウム、酸化イリジウムまたはそのスタッフからなる材料からできている方法。

【0096】(12) 第1項記載の方法において、前記コンデンサの誘電体が、以降のプロセス中に損傷を受け、前記加熱ステップを実行するステップが、前記コンデンサの誘電体への損傷を除去する方法。

【0097】(13) 第1項記載の方法において、前記バリヤ層が、前記底部電極の側面上、前記コンデンサの誘電体の側面上、前記頂部電極の側面上、および前記頂部電極上に形成される方法。

【0098】(14) 第4項記載の方法において、前記バリヤ層が、前記底部電極の側面上、前記コンデンサの誘電体の側面上、前記頂部電極の側面上、および前記ハードマスク上に形成される方法。

【0099】(15) 半導体基板上に位置する、誘電体層を貫通して形成されている導電性接点上に形成されている強誘電コンデンサを含む電子デバイスの製造方法であって、前記導電性接点上に一つの頂面と複数の側面を持つ底部電極を形成するステップと、前記底部電極の上に、強誘電材料からできいて、一つの頂面と複数の側面を持つコンデンサの誘電体を形成するステップと、前

記コンデンサの誘電体上に、一つの頂面と複数の側面を持つ頂部電極を形成するステップであって、前記強誘電コンデンサが、前記底部電極、前記コンデンサ誘電体、および前記頂部電極を備えるハーフップと、前記底部電極の前記側面上、前記コンデンサの誘電体の前記側面の上、および前記頂部電極の前記側面の上にバリヤ層を形成するステップと、前記バリヤ層および前記構造体上に、一つの頂面と一つの底面を持つ誘電体層を形成するステップと、ある時間中、アルゴン、窒素およびその組合せからなるガスからなる雰囲気内で、400～900℃の温度で、前記バリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む方法。

【0100】(16) 第15項記載の方法において、さらに、前記誘電体層内に、前記誘電体層の前記頂面から前記誘電体層の前記底面に延びる開口部を形成するステップと、前記誘電体層の前記開口部を前記頂部電極と電気的な接続を行う前記導電性材料で充填するステップとを含む方法。

【0101】(17) 第16項記載の方法であって、加熱ステップを実行するステップが、前記誘電体層内に複数の開口部を形成する前記ステップの後であるが、前記誘電体層内の前記開口部を導電性材料で充填するステップの前に実行する方法。

【0102】(18) 第16項記載の方法において、導電性ハードマスクが、前記頂部電極上に形成され、前記誘電体層内の開口部が、前記導電性ハードマスクまで、または前記頂部電極まで下に向かって延びる方法。

【0103】(19) 第15項記載の方法において、前記温度が500～700℃である方法。

【0104】(20) 第15項記載の方法において、前記温度が500～650℃であり、前記加熱ステップの持続時間が約15～120分である方法。

【0105】(21) 第15項記載の方法において、前記温度が550～700℃であり、前記加熱ステップの持続時間が約10～60秒である方法。

【0106】(22) ある構造体上に位置する強誘電コンデンサの製造方法であって、該方法は、前記構造体上に一つの頂面と複数の側面とを持つ底部電極を形成するステップと；前記底部電極上に、強誘電材料からなり、一つの頂面と複数の側面とを持つコンデンサ誘電体を形成するステップと；前記コンデンサ誘電体の上に、前記底部電極と、前記コンデンサ誘電体と、前記頂部電極からなり、一つの頂面と複数の側面とを持つ頂部電極を形成するステップと；前記底部電極の前記側面上、前記コンデンサ誘電体の前記側面上および前記頂部電極の前記側面上にバリヤ層を形成するステップと；前記バリヤ層および前記構造体の上に、一つの頂面と一つの底面とを持つ誘電体の層を形成するステップと；ある時間中、アルゴン、窒素およびその組合せからなるグループから選択したガスからなる雰囲気内で、400～900℃の温

度で、前記バリヤ層の形成ステップの実行後に、加熱ステップを実行するステップとを含む方法。

【0107】<関連特許／関連出願との相互参照>下記*

特許番号／出願番号	出願日	T I ケース番号
60/171, 159	1999年12月22日	T I-29966
60/171, 754	1999年12月22日	T I-29968
60/171, 794	1999年12月22日	T I-29969
60/171, 755	1999年12月22日	T I-29972
60/171, 772	1999年12月22日	T I-30077
60/171, 711	1999年12月22日	T I-30137
09/392, 988	1999年9月9日	T I-26586
09/105, 738	1998年6月26日	T I-25297
09/238, 211	1999年1月27日	T I-26778

*の共通譲渡特許／特許出願を、引用によって本明細書の記載に援用する。

【図面の簡単な説明】

【図1】本発明のある実施形態の方法により、その一部が製造されたデバイスの断面図である。

【図2】本発明のある実施形態のプロセスの流れを示すフローチャートである。

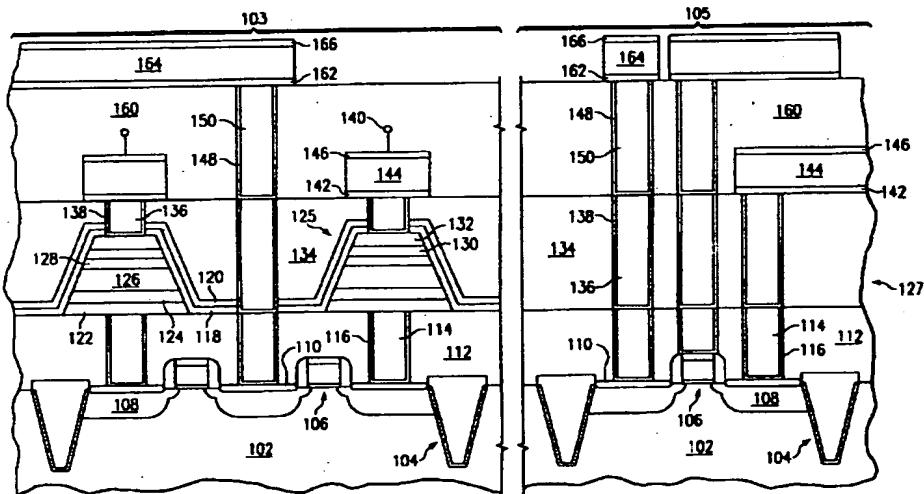
【図3a】図2に示すように、本発明のある実施形態の方法により、その一部が製造された強誘電メモリ・デバ

イスの断面図である。

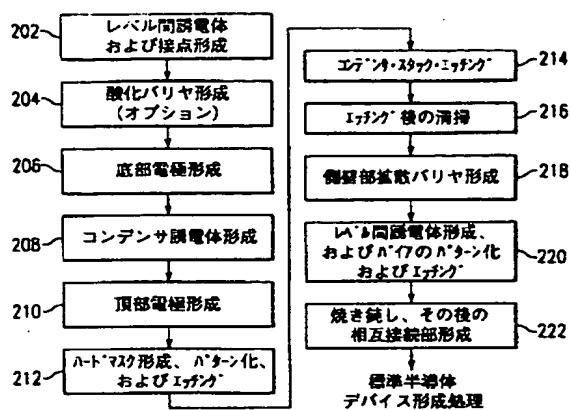
【図3b】図2に示すように、本発明のある実施形態の方法により、その一部が製造された強誘電メモリ・デバイスの断面図である。

【図3c】図2に示すように、本発明のある実施形態の方法により、その一部が製造された強誘電メモリ・デバイスの断面図である。

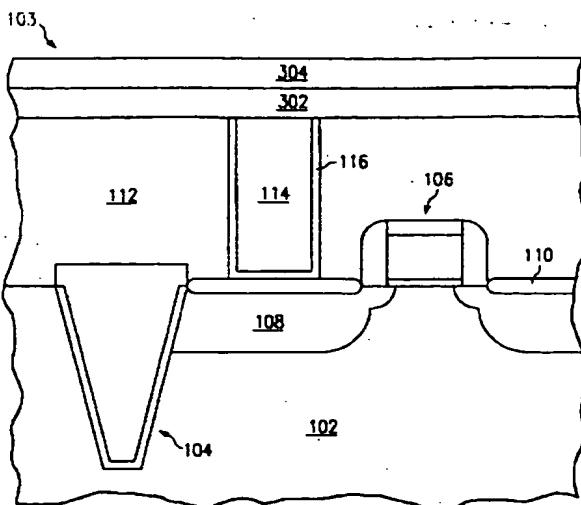
【図1】



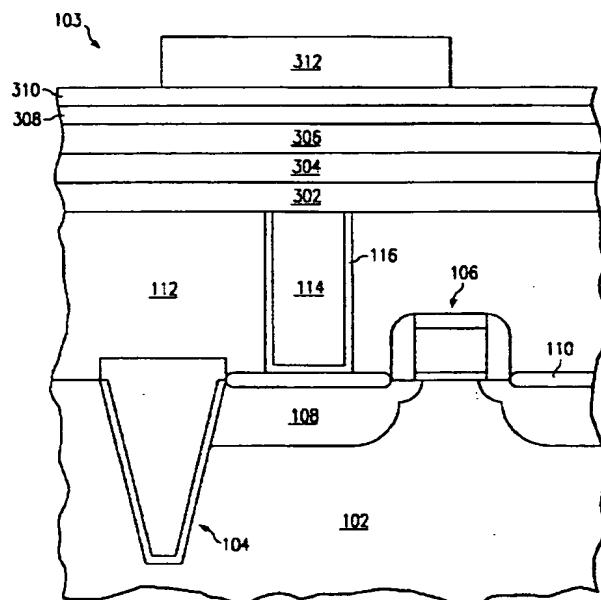
【図2】



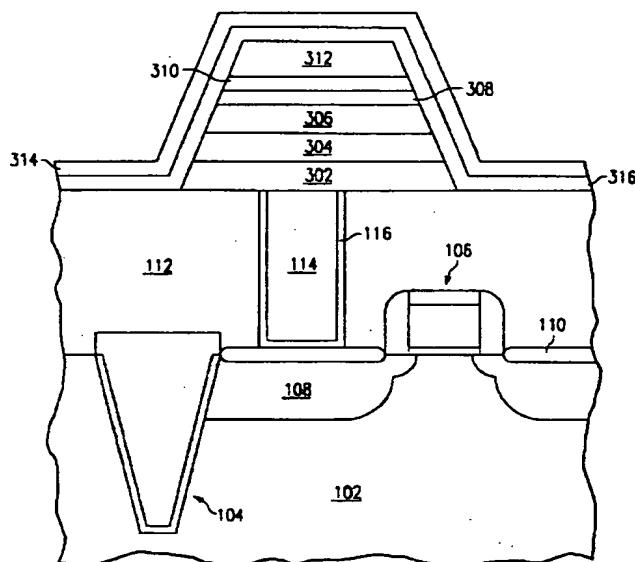
【図3 a】



【図3 b】



【図3 c】



フロントページの続き

(72) 発明者 グオジアン シン
アメリカ合衆国 テキサス、プラノ、ガーデニア ウェイ 4609
(72) 発明者 ルイジ コロンボ
アメリカ合衆国 テキサス、ダラス、イエロー ロック トレイル 6144

(72) 発明者 トモユキ サコダ
アメリカ合衆国 カリフォルニア、サンオーゲ、サラトガ アベニュー 816

(72) 発明者 スチーブン アール、ギルバート
アメリカ合衆国 カリフォルニア、サンフ
ランシスコ、フレドリック ストリート
166、ナンバー 33

(72) 発明者 アルビン ローク
シンガポール国 アレクサンドラ ロード
396、ナンバー 13-00ビーピーティ

(72) 発明者 ショーミン マー
アメリカ合衆国 カリフォルニア、サニー
ベール、ガビラン アベニュー 244

(72) 発明者 ラヒム カバリ
アメリカ合衆国 カリフォルニア、キャン
プベル、アカブルコ ドライブ 3789

(72) 発明者 ローラ ウィリス - ミルカリミ
アメリカ合衆国 カリフォルニア、サノー
ル、キルケア ロード 2155

(72) 発明者 ジュン アマノ
アメリカ合衆国 カリフォルニア、ヒルズ
バラ、エンドフィールド ウェイ 740